

EPAB

CLIPPEDIMAGE= WO009631038A1

PUB-NO: WO009631038A1

DOCUMENT-IDENTIFIER: WO 9631038 A1

TITLE: DATA TRANSMITTING METHOD AND TRANSMISSION/RECEPTION
CIRCUIT USED

THEREFOR, AND SIGNAL PROCESSOR

PUBN-DATE: October 3, 1996

INVENTOR-INFORMATION:

NAME

COUNTRY

SEKIGUCHI, TOMONORI

JP

NAKAGOME, YOSHINOBU

JP

SAKATA, TAKESHI

JP

KAWAHARA, TAKAYUKI

JP

KIMURA, KATSUTAKA

JP

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

JP

SEKIGUCHI TOMONORI

JP

NAKAGOME YOSHINOBU

JP

SAKATA TAKESHI

JP

KAWAHARA TAKAYUKI

JP

KIMURA KATSUTAKA

JP

APPL-NO: JP09600746

APPL-DATE: March 22, 1996

PRIORITY-DATA: JP06544295A (March 24, 1995)

INT-CL (IPC): H04L025/49; H04L012/40 ; G06F003/00

ABSTRACT:

The purpose of this invention is to realize high-speed data transmission by reducing the waveform distortion which occurs when binary digital data signals are transmitted through a transmission line. A sinusoidal reference clock signal (Ck1) is transmitted together with data signal (D1) synchronously modulated in amplitude. The modulated signals are received and demodulated according to the received clock signal to obtain the original data (Dr2). In the synchronous amplitude modulation, a sine wave (Vddq) having the same period and phase as those of the reference clock signal (Ck1) is modulated to have an amplitude larger or smaller than that of the signal (Ck1) depending upon the information (1,0) of the digital data. This data transmitting method can be used for data transmission between the microprocessor and storage

device of a
computer.

PCT

世界知的所有権機関

国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6

H04L 25/49, 12/40, G06F 3/00

A1

(11) 国際公開番号

WO 96/31038

(43) 国際公開日

1996年10月3日(03.10.96)

(21) 国際出願番号

PCT/JP96/00746

(22) 国際出願日

1996年3月22日(22.03.96)

(30) 優先権データ

特願平7/65442

1995年3月24日(24.03.95)

JP

特願平7/99201

1995年4月25日(25.04.95)

JP

(71) 出願人 (米国を除くすべての指定国について)

株式会社日立製作所(HITACHI, LTD.)(JP/JP)

〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ)

関口知紀(SEKIGUCHI, Tomonori)(JP/JP)

〒185 東京都国分寺市西恋ヶ窪4-14-6

日立第四協心寮 Tokyo, (JP)

中込健延(NAKAGOME, Yoshinobu)(JP/JP)

〒205 東京都羽村市川崎4-2-1 Tokyo, (JP)

坂田 健(SAKATA, Takeshi)(JP/JP)

〒187 東京都小平市小川西町4-7-11-401 Tokyo, (JP)

河原尊之(KAWAHARA, Takayuki)(JP/JP)

〒207 東京都東大和市向原1-10-20 Tokyo, (JP)

木村勝高(KIMURA, Katsutaka)(JP/JP)

〒196 東京都昭島市昭和町1-5-18 Tokyo, (JP)

(74) 代理人

弁理士 薄田利幸(USUDA, Toshiyuki)

〒185 東京都国分寺市本町四丁目3番16号

サンクレストビル4階 Tokyo, (JP)

(81) 指定国

CN, JP, KR, US, 欧州特許(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類

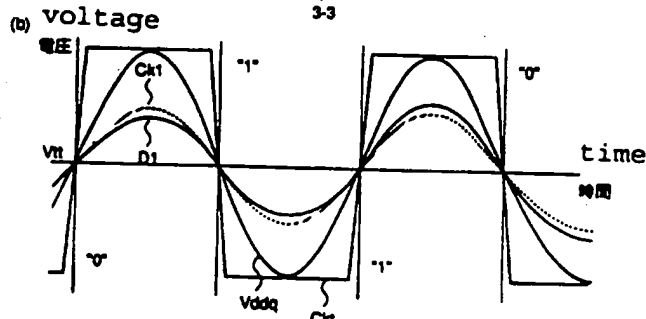
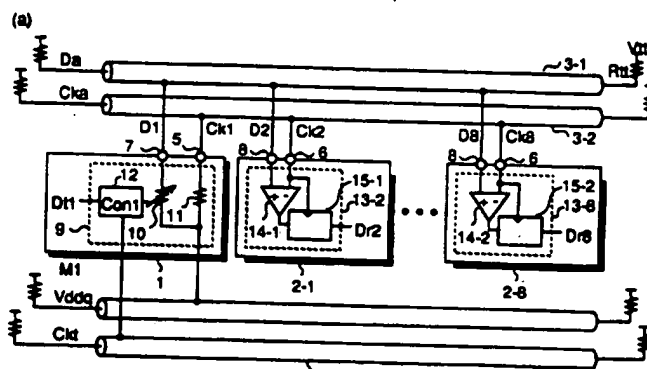
国際調査報告書

(54) Title: DATA TRANSMITTING METHOD AND TRANSMISSION/RECEPTION CIRCUIT USED THEREFOR, AND SIGNAL PROCESSOR

(54) 発明の名称 データ伝送方法、それに使用する送、受信回路装置及び信号処理装置

(57) Abstract

The purpose of this invention is to realize high-speed data transmission by reducing the waveform distortion which occurs when binary digital data signals are transmitted through a transmission line. A sinusoidal reference clock signal (Ck1) is transmitted together with data signal (D1) synchronously modulated in amplitude. The modulated signals are received and demodulated according to the received clock signal to obtain the original data (Dr2). In the synchronous amplitude modulation, a sine wave (Vddq) having the same period and phase as those of the reference clock signal (Ck1) is modulated to have an amplitude larger or smaller than that of the signal (Ck1) depending upon the information (1,0) of the digital data. This data transmitting method can be used for data transmission between the microprocessor and storage device of a computer.



(57) 要約

2 値のディジタルデータ信号を伝送線路で伝送する時に生じる波形歪みを少なくし、高速データ伝送を可能にする。

正弦波の基準クロック信号 (C k 1) と同期振幅変調した変調データ信号 (D 1) を同時に送信し、受信側では、受信した基準クロック信号信号を使用して変調データ信号からディジタルデータ信号 (D r 2) を復調する。上記同期振幅変調は基準クロック信号と同じ周期、位相の正弦波 (V d d q) の振幅をディジタルデータ信号の情報 (1、0) によって、上記の基準クロック信号のレベルより大きい小さいかの振幅をもたせる。

コンピュータのマイクロプロセッサと記憶装置間のデータ伝送等に実施される。

情報としての用途のみ

P C T に基づいて公開される国際出版をパンフレット第一頁に P C T 加盟国を特定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	EE	エストニア	LC	セントルシア	PT	ポルトガル
AT	オーストリア	ES	スペイン	LR	セントルシア	RO	ルーマニア
AU	オーストラリア	FI	フィンランド	LT	リトアニア	RS	セルビア
AZ	アゼルバイジャン	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BA	ボスニア・ヘルツェゴビナ	GB	イギリス	LV	ラトヴィア	SI	スロベニア
BB	バルバドス	GR	ギリシャ	MC	モナコ	SK	スロバキア
BE	ベルギー	GU	グアム	MD	モルドヴァ共和国	SN	セネガル
BG	ブルガリア	IE	アイルランド	ME	モンテネグロ	SV	スウェーデン
BH	バーレーン	IL	イスラエル	MK	マケドニア共和国	TD	チャド
BJ	ベナン	IT	イタリア	ML	マリ	TG	トーゴ
BR	ブラジル	JP	日本	MN	モンゴル	TH	タイ
BY	ベラルーシ	KE	ケニア	MR	モーリタニア	TM	トルクメニスタン
CA	カナダ	KR	大韓民国	MW	マラウイ	TR	トルコ
CC	中央アフリカ共和国	KZ	カザフスタン	MX	メキシコ	TT	トリニダード・トバゴ
CF	コンゴ			NE	ニジェール	UA	ウクライナ
CH	スイス			NL	オランダ	UG	ウガンダ
CI	コート・ジボアール			NO	ノルウェー	UZ	ウズベキスタン
CM	カメルーン			NZ	ニュージーランド	VN	ベトナム
CN	中国						
CU	キューバ共和国						
CZ	チェコ共和国						

明 細 書

〔 発 明 の 名 称 〕

データ伝送方法、それに使用する送、受信回路装置
及び信号処理装置

〔 技 術 分 野 〕

本発明は、データ伝送方法、それに使用する送、受信回路装置及び信号処理装置、更に詳しくいえば、CPU(Central Processing Unit、中央処理装置)やメインメモリ等の回路装置をバス等の伝送線路で接続した信号処理装置における、回路装置の入出力回路部の構成及び信号伝送部の構成に関する。

〔 背 景 技 術 〕

近年、大規模集積回路(以下、LSIと略称)の技術の進歩により、マイクロプロセッサ(MPU)の動作周波数は100MHzを超えるものが実現されている。メモリにおいても100MHz以上で動作するシンクロナス・ランダム・アクセス・メモリ(DRAM)が報告されている。

しかし、回路装置のLSIチップレベルでは高速化ができて、LSIを使用するワークステーションやパーソナルコンピュータ等の信号処理装置においては、

L S I を実装するボードレベルで、L S I チップレベルの速度に高速化することは、以下の理由で困難である。

上述のような信号処理装置の回路装置を構成する L S I チップ間の信号伝送は、ノン・リターン、ゼロ (N R Z) 符号によるパルス信号が用いられている。このパルス信号に含まれる高調波成分の波長がボード上の配線と同程度に短くなると、上記配線が分布定数線路として振る舞い、信号は配線端や分岐、L S I パッケージの寄生インダクタンスや寄生キャパシタンスのために顕著な反射を起こし、パルス波形にリングング等の波形歪みが生じる。この波形歪みが高速化の困難な原因となる。

例えば、図 17 (a) に示すようなボード 170 上の L S I チップ 172 と 173 の間で信号を伝送する場合、その等価回路は (b) のように表せる。L S I 172 は本来の機能回路である内部回路 178、内部回路の出力を伝送線路 171 に適した信号に変換する出力回路 176 をもち、L S I 173 は伝送線路からの受信信号を内部回路 179 の処理に適した信号に変換する入力回路 177 をもつ。

また、L S I と伝送線路の間にはパッケージのリードフレームやボンディングワイヤ等が存在し、これらは寄生容量 C 及び寄生インダクタンス L の寄生素子 1

74、175を有する。ここでは入出力端子が独立な場合を示したが、入出力共通の場合、端子の寄生容量が更に大きくなるため、波形の乱れは一層大きくなる。

パルス伝送において、従来用いられている送信（出力）回路を図18に示す。送信回路180は出力段181、pMOSトランジスタ及びnMOSトランジスタからなる駆動回路182、183及び出力制御回路184をもつ。図中のIV11からIV15まではインバータ回路を示し、NAND2はNAND回路、NORはNOR回路を示す。出力制御回路184は信号Doeが低レベルのときに、入力信号Inの値によらず出力Outをハイインピーダンス状態にする。信号Doeが高レベルのときは入力信号Inと同じ信号が出力される。一般に、入力信号Inを発生する前段の内部回路178のトランジスタのサイズは小さく、出力段181のトランジスタのサイズが大きいため、駆動回路として徐々にトランジスタのサイズを大きくしたインバータ列を用いる。

図18の送信回路を用いた際の伝送波形のシミュレーション結果の波形図を図19に示す。このシミュレーションでは、次の条件を用た。電源電圧は、Vddが1.5V、Vssが0Vである。伝送線路は特性インピーダンスを50Ωとし、長さを2cmとした。終端は、電圧Vttを0.75V、抵抗Rttを50Ω、

パッケージのインダクタンス L は 10 nH 、容量 C は 5 pF とした。出力回路の出力抵抗は $22\ \Omega$ 程度とし、 $25\ \Omega$ の負荷に対してプラスマイナス 0.4 V の振幅を得ている。

出力回路から周期 10 ns の矩形波を送信したときの送信端及び受信端での波形 1029 及び 1030 を示した。これは、データ“ $0, 1, 0, 1$ ”を周期 5 ns で転送していることになる。送信端、受信端での反射が大きく、大きなリングングが生じている。信号の立上り時のリングングによる波形の極小点の電圧 V_{tt} に対するマージンは 0.22 V であり、これは片側の振幅 0.4 V の 55% である。この極小点が、もし電圧 V_{tt} を下回ってしまうと、受信回路は2個のパルスを受けたと誤って判断してしまう。従って、マージンが小さいと、高速信号を伝送する際の信頼性が低下する。

また、多重反射による波形の乱れは、一つの送信回路に複数の受信回路がバスを介して伝送する場合に、より顕著になる。ワークステーションやパーソナルコンピュータ等において、メモリ LSI は、図 $20(a)$ に示すモジュール構成にして用いられることが多い。すなわち、マザーボード 200 上に $DRAM$ のメモリモジュール 202 を複数個配置したメインメモリ 201 及び、複数の $SRAM$ 204 からなるキャッシュ 2

05が配置されている。この場合、メモリ相互間は共通のメモリバス207で接続されている。図20(a)の等価回路を図20(b)に示す。一つのメモリ204に対し1つのバス207を介して複数のメモリ素子201-1~201-7が接続されている。メモリ素子201-1~201-7、204はLSIチップで、2cm間隔でバスと接続されている。バス207の終端は終端抵抗 R_{tt} により、終端電源(電圧 V_{tt})と接続されている。204を送信LSI、メモリ素子201-1~201-7を受信LSIとする。メモリ素子201-1~201-7の内部構成は全て同じであるが、簡明のためメモリ素子201-7のみ内部構成を示す。ここでは入出力端子が独立な場合を示したが、入出力端子が共通の場合、端子の寄生容量が大きくなるため、波形の乱れはより大くなる。

次に、図20のLSI204の送信回路208として、図18の回路180を用いてパルス伝送を行なった場合のシミュレーション結果の受信波形を図21に示す。LSI208から周期10nsの矩形波を送信し、LSI208の送信端、LSI201-1、201-4及び201-7の受信端での波形をそれぞれI031、I032、I034及びI037で示す。受信波形に大きなリングングが生じている。リングング波形の最小点の電圧 V_{tt} に対するマージンはわず

か 0.09 V である。これは片側の振幅 0.4 V の 2.2 % である。これは、バスの途中に接続されている LSI の寄生成分やバスの分岐で多重反射が生ずるためである。

また、高速データ伝送の問題として、電源ノイズの増加の問題がある。LSI 間の NRZ 符号によるデータ伝送では、データの遷移時に出力端子の電圧が急激に変化するため、出力回路は短時間で伝送線路の負荷容量をを充電する必要がある。このため電源に流れる電流の単位時間あたりの変化が大きくなり、これが LSI の電源ピンの寄生インダクタンスでリングング等のノイズとなる。

さらに、高速データ伝送では、クロックとデータ間のスキューも問題である。従来のデータ伝送におけるクロック、データの伝送は、図 22 (a) に示すように、データ伝送線路 221 は終端は行わず、線路上の電圧は V_{dd} から V_{ss} まで振れる。この場合、各 LSI 223-1, 223-2 ... 223-8 へ供給されるクロックとデータが同方向に伝送されるため、スキューは小さいが、データ伝送線 221 のデータとクロック伝送線 222 のクロックとが逆方向に伝送されるため、伝送線路上の伝播遅延によるスキューが生じる。データ伝送速度を高速化し、クロック周期が短くなると、クロック周期に対するスキューの相対的な割合が

- 7 -

増加するため、データをラッチする際のタイミングマージンが減少する。なお、224-1...224-8は送信用ラッチ、225-1...225-8は受信用ラッチ、226-1...226-8はCMOSインバータ型の送信回路、227-1...227-8はCMOSインバータ型の受信回路を示す。

この問題を解決するため、一つの解決手段として図23に示すランバスインターフェースを用いる技術が知られている。ランバスインターフェースについては公表特許広報平5-507374号に詳しく述べられている。233-1、...233-8はLSI、234-1...234-8は送信用ラッチ、235-1...235-8は受信用ラッチ、236-1...235-8はNMOSオープン・ドレイン型の送信回路、237-1...237-8は差動型の受信回路、238はクロック源を示す。このインターフェースではクロック線232を折り返して分配し、片方を送信用クロックとし、他方を受信用クロックとして用いる。また、データ伝送はマスタ233-1と、複数のスレーブ233-2...233-8との間で行われ、スレーブ間でのデータ伝送は行われない。スレーブ233-8からマスタ233-1へデータを伝送する際には、スレーブ233-8は送信用クロックに同期してデータを送信し、マスタ233-1は受信用クロックに同期してデータを

受け取り、データとクロックが左方向に伝送されることになる。逆に、マスタ 233-1 からスレーブスレーブ 233-8 へデータを伝送する際には、データとクロックは右方向に伝送される。従って、常にクロックとデータが同方向に伝送されるため、スキューが低減される。しかしこの解決手段ではクロック端子が増加する問題がある。

また、このインターフェースでは高速データ伝送を実現するため、データ用伝送線路を終端し、送信回路にオープンドレーンを用いたアクティブ・ロー型の小振幅インターフェースを用いている。このため、信号の高レベルは終端電圧 V_{tt} で一定値になるが、低レベルはプルダウン用の nMOS (233-1...233-8) の素子特性のばらつきや変化の影響を受けることになる。この影響を抑制するために、低レベルの電圧をフィードバックしてプルダウン用の nMOS の駆動力を制御しているが、制御回路が複雑化し、チップ面積が増大する問題がある。

〔発明の開示〕

本発明の主な目的は、信号処理装置を構成する回路装置間のデータ伝送を高速かつ高精度で行うことができるデータ伝送方法及びその方法を実施する送、受信回路装置を提供することである。特に、ワークステーションやパーソナルコンピュータ等の信号処理装置の

回路装置を構成するLSI間のデータ伝送において、データの伝送波形に含まれる高調波成分の割合を抑制し、伝送波形の乱れが生じにくい信号に変換して伝送するデータ伝送方法及びそれに使用する送信回路、受信回路装置を提供することである。

本発明の第2の目的は、電源電流の単位時間当りの変化を低偏した低減し、ノイズの少ないデータ伝送を行う送信回路及び受信回路をもつ回路装置を提供することである。

本発明の第3の目的は、高速データ伝送で問題となるクロック信号とデータ信号との間のスキューを低減する送信回路及び受信回路をもつ回路装置を提供することである。

本発明の第4の目的は、小振幅インタフェースにおける出力レベルに対するマージンの大きな伝送ができる送信回路及び受信回路をもつ回路装置を提供することである。

本発明の第5の目的は、データ伝送速度が異なる複数データを処理するの回路装置の入出力信号の伝送を一系統の伝送線路で効率的に行うことができる信号処理装置を提供することである。

上記目的を達成するため、本発明のデータ伝送方法は、送信部で一ないし複数の伝送すべきデジタルデータ（以下単にデータと略称）信号の信号レベルを一定

周期の基準クロック信号のレベルと比較し、上記データ信号を上記基準クロック信号と同一周期をもち、振幅が上記データ信号の情報によって上記基準クロック信号の振幅に比較し多きか小さいを表す信号（以下変調データと呼称る）に変換して、上記基準クロック信号及び上記変調データ信号を伝送線路で受信部に伝送する。以下、上記データ信号の変換を同期振幅変調と略称する。

受信部では、上記伝送線路から受信した上記変調データ及び上記基準クロックの振幅の差を検出し、もとの２値のデータ信号に復調する。

また、上記データ伝送方法に使用する装置として、本発明による送信回路装置は、一定周期の正弦波である基準クロック信号を発生する基準クロック信号発生手段と、伝送すべきデータ信号を入力するデータ信号源と、上記伝送すべきデータ信号を上記基準クロック信号と同一の位相、周期をもち、振幅が上記伝送すべきデータ信号の情報に応じて上記基準クロック信号の正弦波の振幅に比較し大きいきか小さい振幅をもつ正弦波又は正弦波に近似した信号に変換する同期振幅変調回路及び上記同期振幅変調回路の出力である変調データ及び上記基準クロックを伝送線路路に出力する出力端子とをもつ送信回路を設ける。

また、本発明による受信回路装置は上記変調データ

及び基準クロックを受信する受信端子と、上記受信端子からの上記変調データ及び基準クロックの振幅の大小を比較し大小を判別する比較器（検出器）と、上記比較器の出力を元のデジタルデータ信号に変換する復調器とをもつ受信回路を設ける。

更に、本発明による信号処理装置は、上記受信回路装置、送信回路装置複数個を伝送線路介して接続して構成される。なお、上記受信回路装置、送信回路装置には上記送信回路及び受信回路を兼ね備える場合も含む。

本発明の好ましい実施形態によれば、伝送すべきデータ信号が複数系列の場合、各系列毎に異なった周波数の基準クロック信号を用い、各系列毎に同期振幅変調を行い、周波数多重して伝送する構成とする。また、上記送信回路装置及び受信回路装置は、それぞれ2値のデータを処理する内部回路と共に単一のLSIで構成する。また、他の好ましい実施の形態によれば、上記変調回路は伝送すべきデータに同期した正弦波を、上記LSIの外部にあるクロック信号のレベルを伝送すべきデータの情報によって上記基準信号のレベルより大きい小さいレベルをもつ正弦波に変換するように構成される。上記発明の構成において、正弦波は厳密な正弦波に限定されるものではなく、正弦波と近似度が高い波形のもの、例えば高調波成分が少ないも

のも含む。送信、受信回路装置は、特に限定されないが、LSIで構成される回路素子、例えば、メモリ、マイクロプロセッサ、制御回路等を含む。

本発明のデータ伝送方法及び送、受信回路装置によれば、伝送されるデータ信号の波形が高調波の少ない正弦波に近似した波形になるので、送信波形に対し伝送線路の分岐や寄生素子等で多重反射が起る矩形波に比較して波形の乱れが少なく、また、電源電流の変化が小さく、電源ピンの寄生インダクタンスにおけるノイズの発生が低減される。これらの理由で本発明によるデータ伝送方法、送、受信回路装置を用いることにより、特に高速データ伝送において信頼性の高い、高速データ伝送が可能になる。

本発明の上記及び他の目的、構成及び特徴は、以下の図面と関連する実施の形態の説明によって更に明らかになるであろう。

〔図面の簡単な説明〕

図1(a)及び(b)は、それぞれ本発明によるデータ伝送方法の一実施例を実施する送、受信装置の構成及びその動作原理説明ための波形図である。

図2は、図1の送信回路装置の回路図である。

図3(a)及び(b)は、それぞれ上記実施例に使用する正弦波クロックの発生手段の構成を示すブロッ

ク図及びその動作説明のための波形図である。

図4は、図1の受信回路の回路図である。

図5は、本発明による送、受信回路装置の一実施例の動作を示すタイミングチャートである。

図6は、本発明による送、受信回路装置の効果説明のための伝送回路モデルを示すブロック図である。

図7は、図6の回路モデルによるシミュレーション結果を示す1対1伝送の送受信波形を示す図である。

図8は、本発明による送、受信回路装置の効果説明のための伝送回路モデルを示すブロック図である。

図9は、図8の回路モデルによるシミュレーション結果を示す1対多伝送の送受信波形を示す図である。

図10(a)及び(b)は、それぞれ本発明による送信回路装置の他の実施例の回路図及びその説明のための真理値表である。

図11は、本発明によるデータ伝送方法の他の実施例を説明するための伝送システムを示すブロック図である。

図12は、本発明による信号処理装置の一実施例であるコンピュータの構成を示すブロック図である。

図13は、本発明による信号処理装置の他の実施例であるコンピュータの構成を示すブロック図である。

図14は、図13の信号処理装置に使用される信号の波形図及び信号の周波数領域を示す図である。

図 1 5 は、図 1 3 の信号処理装置に使用されるフィルタの回路図である。

図 1 6 は、図 1 3 の信号処理装置の動作説明のための波形図である。

図 1 7 は、従来のパルスデータ伝送装置の構成を示すブロック図である。

図 1 8 は、従来のパルスデータ伝送装置における送信回路の回路図である。

図 1 9 は、従来パルスデータ伝送装置による送、受信波形を示す波形図である。

図 2 0 (a) 及び (b) は、それぞれ一般的な信号処理装置のメインメモリとバス配線のモデルを示す斜視図及びその等価回路図である。

図 2 1 は、従来パルスデータ伝送装置による送受信波形を示す波形図である。

図 2 2 は、従来のデータ伝送装置の構成を示すブロック図である。

図 2 3 は、他の従来のデータ伝送装置の構成を示すブロック図である。

〔発明を実施するための最良の形態〕

以下に、本発明の実施例につき図面を参照して具体的に説明する。

< 実施例 1 >

図 1 (a) 及び (b) は、それぞれ本発明によるデ

一タ伝送方法を実施する送、受信回路装置の一実施例の構成及び動作原理説明のための波形図である。

本実施例は、LSIで構成された送信回路装置1から複数のLSIで構成された受信回路装置に2-1...2-8に同期振幅変調された変調データD1及び基準クロックCk1をそれぞれ伝送線路3-1及び3-2を介して伝送する。複数の受信回路装置2-1...2-8は同じ動作をするので、以下、送信回路装置1と受信回路装置2-1間のデータ伝送(1対1伝送)について説明する。図では、伝送線路3-1は一本のみ示すが、複数本で並列にしてもよい。また、各伝送線路3-1及び3-2は電気特性、配線パターン、負荷を略等しくしている。

送信回路装置1のクロック送信端子5と受信回路装置2-1のクロック受信端子6は伝送線路3-2により接続されている。同様に、送信回路装置1のデータ送信端子7と受信回路装置2-1のデータ受信端子8は伝送線路3-1により接続されている。伝送線路3-1、3-2の両端は抵抗R_{tt}で一定の終端電位V_{tt}に接続されている。伝送線路3-1及び3-2は特性インピーダンスを制御するため、多層基板によるマイクロストリップラインで構成され、同じ配線パターンに構成されている。そのため、伝送線路3-1及び3-2は略同様にノイズの影響や信号遅延の影響を

受けるために、基準クロック $Ck1$ と変調データ $D1$ の相対的な大小関係は影響を受けることなく変調データの伝送ができる。

送信回路装置 1 は、送信回路 9 をもつ。送信回路 9 は伝送線路 3-3、3-4 を介して、それぞれ正弦波のクロック $Vddq$ 及びパルス波のクロック Ckt を受け、内部回路（図示せず）からの伝送すべきデータ $Dt1$ を前記同期振幅変調によって変調データ $D1$ に変換する。クロック Ckt は送信回路装置 1 の LSI チップ外部にもうけられた外部クロック源から加えられるシステムクロックで、送信回路装置 1 内の内部回路にも加えられ、内部回路の動作タイミングを制御する。クロック $Vddq$ はクロック Ckt と位相が略一致している。

図 1 (b) を参照して送信回路 9 の動作、すなわち同期振幅変調の原理について説明する。

クロック送信端子 5 にクロック $Vddq$ が固定抵抗 10 (抵抗値 $Rc1$) を介して加えられる。従って、クロック $Ck1$ は正弦波のクロックの電圧 $Vddq$ を終端抵抗の並列接続抵抗 $Rtt/2$ と固定抵抗 11 (抵抗値 $Rc1$) で分割した正弦波の信号である。この信号を基準クロック $Ct1$ とする。

一方、データ送信端子 7 にはクロック $Vddq$ が可変抵抗 10 (抵抗値 $Rd1$) を介して加えられる。従

って、データ送信端子 7 の信号 D_1 はクロック V_{dd} の電圧を $R_{tt}/2$ と抵抗 10 (抵抗値 R_{d1}) で分割した正弦波の信号である。可変抵抗 10 の抵抗値 R_{d1} は、内部回路の出力であるデータ D_{t1} に従って制御回路 12 によって可変される。特に、正弦波のデータ D_1 の振幅を基準クロック C_{k1} の振幅に比較して大小の変化させることができる。このように、データ D_{t1} の情報、すなわち、“1”、“0”の2値に応じて振幅を基準クロックの振幅に比較して大小に変調することを、同期振幅変調と定義する。図 1 (b) では、データ D_{t1} の情報が“0、1、1、0”である例を示している。送信回路 9 から送出される変調データ D_1 は、基準クロック C_{k1} と等しい周期、位相をもつが、その振幅が伝送すべきデータの内容によって、半サイクルごとに基準クロック C_{k1} の振幅より小さく又は大きくなるように変化する。

受信回路装置 2-1 は、受信回路 13-2 をもつ。受信回路 13-2 は、伝送線路 3-1 及び 3-2 を介して、それぞれ端子 8 及び 6 から同期振幅変調された変調データ D_2 及び基準クロック C_{k2} を受信し、これらを比較器 14-1 で比較し、比較結果をラッチ回路 15-1 でラッチすることにより、元のデータ D_{t1} に復調する。必要によってはこれらを NRZ の信号に変換する。

図 2 は図 1 の送信回路装置 1 の回路図である。本実施例では、送信回路装置 1 が単一の L S I チップで構成されている。L S I チップは内部回路 2 0 及び内部回路 2 0 の出力である N R Z 符号のデータ D t 1 を入力とする送信回路 9 をもつ。また、L S I チップ 1 には直流電源 V d d、V s s 及び正弦波クロック V d d q、矩形波のパルス波形のクロック C k t が供給される。

内部回路 2 0 にはクロック C k t 及び直流電源 V d d、V s s が加えられる。クロック C k t は回路動作のタイミングを決定するものであるため、正弦波状のクロック C k t を用いてもタイミングの決定ができれば足りるが、クロックの立上りエッジ及び立ち下がりエッジの両エッジでタイミングを規定する場合には、パルス状のクロックを用いたほうが効率的となる。

内部回路 2 0 で処理されたデータ D t 1 はクロック C k t に同期した N R Z 符号である。

送信回路 9 には n M O S トランジスタ (M n 1、M n 2、M n 3) と p M O S トランジスタ (M p 1、M p 2、M 3) を並列に接続したアナログスイッチ 2 1、2 2、2 3 が設けられている。アナログスイッチは図 1 の抵抗 1 0、1 1 として機能し、データ D t 1 を同期振幅変調したデータ D 1 に変調する。更に詳しく説明すると、アナログスイッチ 2 1 は、基準クロック C

k 1を得るもので、クロック V d d qをそのソース（ドレイン）端子に受け、基準クロック C k 1をそのドレイン（ソース）端子から出力する n M O S トランジスタ M n 1と p M O S トランジスタ M p 1とにより構成されている。n M O S トランジスタ M n 1のゲート電極には電圧 V d d が加えられ、p M O S トランジスタ M p 1のゲート電極には設置電位等の固定電位が加えられる。従って、アナログスイッチ 2 1のトランジスタ M n 1、M p 1はそのゲート幅、ゲート長等により決定される所定のオン抵抗をもつ一種の抵抗素子として働き、クロック V d d より小さい振幅をもった基準クロック C k 1を出力する。

必ずしも、基準クロック C k 1をクロック V d d qに対して小さい振幅ととする必要はないが、同期振幅変調された変調データ D 1の形成及び両信号の比較を考慮すると、クロック V d d qから振幅の小さい基準クロック C k 1を形成するのが簡便である。

アナログスイッチ 2 2、2 3は、E X N O R 回路 2 4と共に、内部回路 2 0の出力信号 D t 1を同期振幅変調された変調データ信号 D 1に変換する。E X N O R 回路 2 4にはパルス波のクロック C k tと内部回路 2 0の出力信号 D t 1とが入力され、信号クロック C k tと D t の排他論理和の否定出力 G 2を出す。また、アナログスイッチ 2 2、2 3はアナログスイッチ 2 1

と同様に nMOS トランジスタ ($M_{n2}, 3$) と pMOS トランジスタ ($M_{p2}, 3$) とが並列に接続され、各トランジスタのソース (ドレイン) 電極にはクロック V_{ddq} が入力され、各トランジスタのドレイン (ソース) 電極から同期振幅変調されたデータ $D1$ を出力する。また、トランジスタ M_{n2} のゲート電極には EXNOR 回路 24 の出力が加えられ、トランジスタ M_{p2} のゲート電極には EXNOR 回路 24 の出力をインバータ I_{V1} より反転された信号が印加され、トランジスタ M_{n3} のゲート電極には固定電位の電圧 V_{dd} が印加され、トランジスタ M_{p3} のゲート電極には固定電位の接地電圧 V_{ss} が印加される。

なお、アナログスイッチ 21、22、23 を構成する MOS トランジスタ ($M_{n1} \dots M_{n3}, M_{p1} \dots M_{p3}$) は、外部の LSI との間での製造バラツキが影響する送信回路の一部であるため、内部回路 20 に用いる MOS トランジスタに比べてそのゲート長を長くすることによって、特性のバラツキの影響を少なくすることができる。

図 3 (a) 及び (b) は、それぞれ上記クロック C_{kt} 及び V_{ddq} を発生するクロック発生装置の構成を示すブロック図及びその動作説明のための波形図である。

上記クロック C_{kt} 及び V_{ddq} を発生する装置は

送信回路装置 1 の L S I と共に同じボード 3 0 上に実装される。上記クロック C k t を発生する装置は、水晶発振器 3 1 で構成され、クロック V d d q を発生する装置は、水晶発振器 3 1 の出力をローパスフィルタ 3 2 に加えて、ローパスフィルタ 3 2 の出力をクロック V d d q とする。ローパスフィルタ 3 2 のカットオフ周波数をクロック C k t の基本周波数の近傍に設定することにより、図 3 (b) に示すように、パルスクロック C k t の位相と略同期した正弦波のクロック V d d q が得られる。

図 4 は本発明による受信回路装置の一実施例の回路図である。

本実施例は、単一の L S I チップで構成され、差動増幅器 4 1 とラッチ 4 2 - 1、4 2 - 2 をもつ受信回路 1 3 と、受信回路 1 3 の出力 D r 2 を処理する内部回路 4 3 ともつ。

差動増幅器 4 1 は、受信した基準クロック C k 2 と同期振幅変調されたデータ信号 D 2 との電位差を検出して後段のラッチ回路 4 2 - 1 と 4 2 - 2 に供給する。本実施例では、差動増幅器 4 1 は、正弦波の基準クロック C k 2 をそのゲート電極に受ける n M O S トランジスタ M n 4 とデータ信号 D 2 をそのゲート電極に受ける n M O S トランジスタ M n 5 と、n M O S トランジスタ M n 4、5 と接続される負荷 M O S トランジスタ

タ M_{p4} 、 5 と、 n MOS トランジスタ M_{n4} 、 5 のソース電極に共通に接続された n MOS トランジスタ M_{n6} とにより構成されている。さらに、差動増幅器 41 は、電源電圧 V_{dd} と固定電位 V_{ss} との間に接続され、トランジスタ M_{n5} のドレイン電極から、基準クロック $Ck2$ とデータ信号 $D2$ との電位差に対応した出力信号を出力する。

また、ラッチ回路 $42-1$ 、 $42-2$ は、 n MOS トランジスタ (M_{n7} から M_{n12}) 及び p MOS トランジスタ (M_{p7} から M_{p12}) により構成された CMOS トランスファゲート回路とインバータ回路 ($IV4 \cdots IV6$) により構成されている。また、トランジスタ M_{p7} 、 M_{n8} 、 M_{n9} 、 M_{n10} 、 M_{p11} 、 M_{p12} のゲート電極には、基準クロック $Ck2$ の信号を増幅・整形する増幅回路 44 と遅延回路 45 を介して供給している。トランジスタ M_{n7} 、 M_{p8} 、 M_{p9} 、 M_{p10} 、 M_{n11} 、 M_{n12} のゲート電極には、遅延回路 45 の出力をインバータ $IV7$ で反転した信号が供給される。また、差動増幅回路 41 の出力信号 Dm はトランジスタ M_{n7} 、 M_{p7} 、 M_{n10} 、 M_{p10} のソース・ドレイン電極に供給に供給され、トランジスタ M_{p9} 、 M_{n9} 、 M_{p12} 、 M_{n12} のソース・ドレイン電極から NRZ 符号に復調されたデータ $Dr2$ が内部回路 43 に供給されている。

図 5 は、上記実施例 1 の送信回路及び受信回路の動作説明のための波形図である。説明には図 1 及び図 2 及び図 4 で用いた参照符号を用いる。

まず、送信回路の動作の説明を行う。正弦波クロック V_{ddq} は固定電圧 V_{tt} を中心に振動している振幅 V_{pa} の正弦波である。送信回路 9 の基準クロック端子 5 には、アナログスイッチ 21 を通して正弦波クロック V_{ddq} が印加される。トランジスタ M_{n1} 及び M_{p1} のゲートはそれぞれ電圧 V_{ddq} 及び V_{ss} にバイアスされ、アナログスイッチ 22 は、常にオン状態にある。従って、クロック送信端子 5、6 には正弦波の基準クロック $Ck1$ 、 $Ck2$ が現われるが、その振幅 V_{ck} は、振幅 V_{pa} をアナログスイッチ 21 のオン抵抗 $R1$ と終端抵抗 R_{tt} の並列接続とで分圧した値となる。

$$V_{ck} = V_{pa} \cdot (R_{tt}/2) / (R1 + R_{tt}/2)$$

データ端子 7 には常にオン状態にあるアナログスイッチ 23 と、それに並列に接続され、ゲートに信号が加わっているアナログスイッチ 22 を通して正弦波クロック V_{ddq} が供給される。従って、データ送信端子 5、6 には正弦波が現われるが、その振幅はアナログスイッチ 22 がオフであるかオンであるかによって次のように変化する。アナログスイッチ 22 がオフであるときの振幅 V_{off} はアナログスイッチ 23 のオン抵抗 $R3$ で決まる。

$$V_{off} = V_{pa} \cdot (R_{tt}/2) / (R_3 + R_{tt}/2)$$

アナログスイッチ 22 がオンであるときの振幅 V_{on} はアナログスイッチ 22 のオン抵抗 R_2 と、 R_3 の並列接続の抵抗値 R_{23} で決まる。

$$V_{on} = V_{pa} \cdot (R_{tt}/2) / (R_{23} + R_{tt}/2)$$

$$\text{ただし、} R_{23} = R_2 \cdot R_3 / (R_2 + R_3)$$

ここで、 $V_{on} > V_{ck} > V_{off}$ を満たすために、アナログスイッチのオン抵抗を $R_3 > R_1 > R_{23}$ と設定する。以上で、アナログスイッチ 22 のオン／オフにより、データ D_1 の正弦波の振幅を、クロック Ck_1 より大きく又は小さくすることができる。

次に、アナログスイッチ 22 の制御について述べる。前述のように、クロック Ck_1 とデータ D_1 の電圧の差を用いて、NRZ 符号の伝送すべきデータ D_t と変調データ D_1 を対応させるために、次の制御を行なう。

以下、NRZ 符号では、“1” が V_{dd} 、“0” が V_{ss} を表す。初めに、クロック Ck_t が“1”でクロック Ck_1 、データ D_1 が正側に振れているときは、2 個の正弦波の振幅の大小と電圧の大小は一致するため、データ“1”、“0”を表すためには、データ D_1 の振幅はそれぞれ V_{on} 、 V_{off} とすればよい。一方、クロック Ck_t が“0”でクロック Ck_1 、データ D_1 が負側に振れているときは、振幅の大小と電圧の大小は逆転するため、データ“1”、“0”を表

すためには、データ D_1 の振幅はそれぞれ前述の状態と逆に V_{off} 、 V_{on} とする。

上記制御を行うために、EXNOR回路24を用いる。回路24は、2入力 C_{kt} 及び D_{t1} が一致したときに“1”を出力し、異なるときに“0”を出力する。クロック C_{kt} とデータ D_{t1} のEXNORをスイッチ22のゲート G_2 に加える。スイッチ22のnMOSのゲートは G_2 に直接接続され、pMOSのゲートはインバータ I_{V1} を介して G_2 に接続されているため、スイッチ22は G_2 が“1”でオンし、“0”でオフする。従って、クロック C_{kt} が“1”のときには $G_2 = D_{t1}$ となり、データ D_{t1} が“1”でスイッチ22がオン、“0”でオフになる。クロック C_{kt} が“0”のときには $G_2 = \overline{D_{t1}}$ となり ($\overline{D_{t1}}$ は D_{t1} の否定信号を表す)、データ D_{t1} が“1”でスイッチ22がオフ、“0”でオンになる。従って、上述した振幅制御が実現される。この様に、EXNOR回路24と可変抵抗として働くスイッチ22、23とを用いることにより、NRZ符号を電位差に割り当てて同期振幅変調した信号として出力することができる。電位差の大小関係にデジタル信号を割り当てることにより、受信側では従来知られている簡易な差動増幅回路等で上記同期振幅変調した信号を復調することができる。

受信回路 2 では差動増幅器 4 1 で受信した基準クロック Ck_2 (クロック Ck_1 と同じ) とデータ D_2 (データ D_1 と同じ) を比較、増幅し、トランジスタ Mn_4 及び Mn_5 に供給される電位差に対応した出力信号 D_m を出力する。この出力信号 D_m は、図 5 に示すような矩形状の NRZ 符号となる。図 5 に示すように、同期振幅変調波と NRZ 符号の対応の定義 (割り当て方) より、出力信号 D_m は NRZ 符号へと復調される。この復調された信号をラッチするための受信用クロック Ck_r は基準クロック Ck_2 を増幅回路 4 4 により増幅し、遅延回路 4 5 により遅延させた信号である。基準クロック Ck_2 は増幅回路 4 4 により増幅されると共に整形され、図 5 のクロック Ck_r に示すような矩形状のパルス波とされる。このようにラッチ回路 4 2 のタイミングを決定する受信用クロック Ck_r を正弦波を整形した矩形状の信号を用いることによりラッチ回路 4 2 のタイミングを正確に決定できる。また、受信用クロック Ck_r は遅延回路 4 5 により、後段のラッチ回路のラッチタイミングを形成するため、出力信号 D_m に対して 90 度 (1/4 周期) 位相のずれた信号とされる。受信用クロック Ck_r を用いて、出力信号 D_m をラッチ 4 2-1、4 2-2 でラッチし、復調された信号 D_r2 として出力する。ラッチ回路 4 2-1 は、インバータ回路 IV_3 、 IV_4 及びラン

ジスタ M_{n8} 、 M_{p8} で構成される正帰還経路によって出力信号 D_m をラッチする。同様にラッチ回路 42-2 は、インバータ回路 I_{V5} 、 I_{V6} 及びトランジスタ M_{n11} 、 M_{p11} で構成される正帰還回路によって出力信号 D_m をラッチする。本実施例においては、各ラッチ回路を初段のスイッチ (M_{n7} 、 M_{p7} 、 M_{n10} 、 M_{p10})、正帰還のスイッチ (M_{n8} 、 M_{p8} 、 M_{n11} 、 M_{p11}) 及び出力段のスイッチ (M_{n9} 、 M_{p9} 、 M_{n12} 、 M_{p12}) により構成し、各タイミングでラッチ回路 42-1 とラッチ回路 42-2 とではそれぞれの段のスイッチが交互に動作するように構成されている。上述の構成により、ラッチ回路 42-1 及び 42-2 がラッチ動作と出力動作を交互に行えるよう構成し高速な動作を行う。なお、復調出力信号 D_r2 は、LSI 40 の内部回路 43 に供給され、内部回路 43 において所定の処理が行われる。内部回路 43 には電源電圧 V_{dd} 及び接地電位 V_{ss} が加えられると共に、図示しないパルスクロック信号 C_{kt} が供給され内部回路 43 の動作タイミングを決定している。

また、アナログスイッチを構成する MOS トランジスタ (M_{n4} - M_{n6} 、 M_{p4} 、 M_{p5}) は、外部の LSI との間での製造ばらつきが影響する受信回路の一部であるため、内部回路 40 に用いる MOS トラン

ジスタに比べてそのゲート長を長くすることによって、特性ばらつきの影響を受けにくくすることができる。

続いて、本実施例の効果を説明する。図 6 に本実施例のデータ伝送装置により 1 対 1 伝送を行なう際のモデルを示す。送信回路装置 6 1 のクロック送信端子 6 2 と受信回路装置 6 2 のクロック受信端子 6 4 は伝送線路 6 6 により接続されている。端子 6 2、6 4 と伝送線路 6 6 の間にはパッケージの寄生素子が存在する。同様に、送信回路装置 6 1 のデータ送信端子 6 3 と受信回路装置 6 2 のデータ受信端子 6 4 は伝送線路 6 7 により接続されている。伝送線路 6 6、6 7 の終端は終端抵抗 R_{tt} により V_{tt} に終端されている。ブロック 9 は図 2 に示した送信回路であり、ブロック 13 は図 4 に示した受信回路 13 と同じ構成である。

図 7 は図 6 の信号伝送装置のモデルによるシミュレーション波形を示す。シミュレーション条件は従来例図 19 と同様である。送信端子 6 2 及び 6 3 でそれぞれ基準クロック Ck_9 と変調データ D_9 が得られる。受信基準クロック Ck_{10} 、受信変調データ D_{10} においても、波形には乱れがなく、クロック Ck_{10} とデータ D_{10} との電圧の大小関係は保たれている。受信データ D_{r10} の波形 D_{r10} では送信データが正しく復調されていることがわかる。

図 8 は、他の実施例のデータ伝送装置により 1 対多伝送を行なう際のモデルを示す。ここで、81 は送信回路装置の L S I チップ、82-1、… 82-7 は受信回路装置の L S I チップを表し、クロック端子及びデータ端子はそれぞれ独立な伝送線路 86、87 と接続されている。伝送線路 86、87 の終端は終端抵抗 R_{tt} により、終端電源 V_{tt} と接続されている。複数の受信回路装置は全て同じものであるが、図では受信回路装置 82-2 のみ内部構成を示す。なお、送信回路装置 81 及び受信回路装置 82 の構成は、図 6 の送信回路装置 81 及び受信回路装置 82 の構成と同じであるので、説明を省く。

図 9 は図 8 の伝送装置モデルによる信号のシミュレーション波形を示す。シミュレーション条件は従来例図 20 と同様である。図において、 C_{k11} 、 C_{k12} 、 C_{k15} 、 C_{k18} 及び D_{11} 、 D_{12} 、 D_{15} 、 D_{18} はそれぞれ回路装置 81、82-1、82-4、82-7 の基準クロック及び変調データのシミュレーション波形を示す。各受信端で、伝送波形には乱れがなく、クロックとデータの電圧の大小関係は保たれている。受信回路装置の復調データも送信データどうりに復調されている。

上記実施例 1 によれば以下のような効果を得ることができる。

第一に、正弦波又はそれに近い波形によりデータの伝送を行うため、受信波形の乱れが少ない。正弦波は位相をずらして加えても正弦波のままであるので、伝送線路の分岐や寄生素子等で多重反射が起きても、波形に乱れが生じない。同期振幅変調した信号は振幅が時間と共に変化し、完全な正弦波でないために若干の高調波を含んでいるが、パルス波に比較するとその割合は小さい。従来例で述べたように、受信波形の乱れは基本波と高調波との反射あるいは位相のずれの受け方の違いで起きるから、同期振幅変調波は、パルス波に比較して波形の乱れは小さくなる。また、基準クロックと変調データの電圧差でデータ情報“1”と“0”を表しているため、伝送線路上で多重反射が起きても基準クロックと変調データの伝送線路を同じ条件にしておけば、基準クロックと変調データは同じように反射を受け、電圧差は保存されたまま伝送されるため、正確なデータ伝送ができる。

第二に、単位時間あたりの電流変化が小さい。これはパルス波に対して高調波は少なく、電圧の変化が緩やかなためである。従って、外部負荷を駆動するための電流変化も少なくなり、電源端子のインダクタンスで生じる電流変化によるノイズが低減される。

第三に、受信回路で、基準クロックとデータの同期をとるのが容易である。すなわち、本実施例では、送

信回路で、正弦波 V_{ddq} を分割することにより基準クロック $Ck1$ とデータ $D1$ を発生しているから位相が一致する。

第四に、送信回路を同一 LSI チップ内に配置する素子で構成した場合、 LSI 素子間の特性のばらつきの影響を受けにくく、素子の特性のばらつきに影響されずにデータ伝送ができる。基準クロック $Ck1$ 及びデータ $D1$ は同一 LSI 内の送信回路 9 において発生されるため、基準クロック $Ck1$ とデータ $D1$ の振幅差は同一 LSI 内の素子特性で決定される。従って、製造ばらつきや動作時の温度変化により各 LSI 間で素子特性が異なっても、基準クロック $Ck1$ とデータ $D1$ の振幅差の大小関係には影響を与えない。一方、一般に同一 LSI 内の素子特性のばらつきは、同一 LSI 間のばらつきに比較して非常に小さいため本実施例の構成をとることにより素子特性バラツキの受けにくいデータ伝送ができる。

<実施例 2>

図 10 (a) 及び (b) は、それぞれ本発明による送信回路装置の他の実施例の回路図及び回路の動作説明のための真理値表を示す。本実施例は、データを同期振幅変調信号で送る送信回路と NRZ 符号で送る送信回路とを設け、必要に応じて両回路を切り替えて使用するように構成されている。例えば、高速のデータ

伝送が必要な場合は、伝送線路を終端し、同期振幅変調信号を送信し、伝送波形の乱れを抑制することにより信頼性を向上し、低速のデータ伝送で十分な場合には、伝送線路の終端を行わずにNRZ符号の送信を行い、終端抵抗で消費されていた電力を削減することができる。

図10(a)において、送信回路装置のLSIチップ100は、電源電圧 V_{dd} 及び接地電位 V_{ss} を受けNRZ符号で動作する内部回路101の他に、送信回路102を有し、さらに、送信回路102はアナログスイッチ21、22、23及び同期振幅変調とNRZ符号との切替制御回路103をもつ。アナログスイッチ等図2の回路と同一構成部分については同一番号を付け、詳細な説明を省く。

各アナログスイッチ21、22、23を構成するトランジスタ M_{n21} 、 M_{p21} 、 M_{n22} 、 M_{p22} 、 M_{n23} 、 M_{p23} のソース(ドレイン)電極には正弦波クロック V_{ddq} が共通に供給されると共にアナログスイッチ21からは正弦波の基準クロック $Ck21$ が供給され、アナログスイッチ22、23からは同期振幅変調された変調データ信号又はNRZ符号による出力信号 $D21$ が選択的に出力される。

切替制御回路103は、LSI100外部からパルスクロック Ckt と内部回路101の出力であるデー

タ $Dt21$ を受ける論理ゲート $EXNOR2$ と、制御信号 Ame 、 $Doe1$ を受ける AND 回路 $AND1$ と、データ信号 $Dt21$ と制御信号 Ame を受ける OR 回路 OR と、回路 $AND1$ 及び $EXNOR2$ の出力信号を受ける AND 回路 $AND2$ と、制御信号 $Doe1$ 及び OR 回路の出力信号を受ける AND 回路 $AND3$ 、制御信号 $Doe1$ の反転信号と OR 回路の出力を受ける NOR 回路 $NOR1$ とから構成される。

さらに、 AND 回路 $AND1$ の出力信号 $G21$ はトランジスタ $Mn21$ のゲート電極に供給され、その反転信号はトランジスタ $Mp21$ に供給される。また、 AND 回路 $AND2$ の出力信号 $G22$ はトランジスタ $Mn22$ のゲート電極に供給され、その反転信号はトランジスタ $Mp22$ のゲート電極に供給される。また、 AND 回路 $AND3$ の出力信号 $G23$ はトランジスタ $Mn23$ のゲート電極に供給され、その反転信号はトランジスタ $Mp23$ のゲート電極に供給される。また、 NOR 回路 $NOR1$ の出力信号 $G24$ は、データ送信端子 104 と接地電位 Vss の間にそのソース・ドレイン経路が接続された $nMOS$ トランジスタ $Mn24$ のゲート電極に接続されている。

切替制御回路 103 は、制御信号 $Doe1$ と制御信号 Ame 信号で動作モードの切換えを行なう。図 $10(b)$ に示した真理値表に基づき切替制御回路 103

の動作を説明する。

初めに、出力イネーブル信号 $Doe1$ が “0 (ローレベル)” の場合は、ゲート出力信号 $G21$ 、… 24 の全てが “0” になり、アナログスイッチ $21 \dots 23$ 、 nMO トランジスタ $Mn24$ がオフするため、基準クロック $Ck21$ 、送信データ $D21$ とともに高インピーダンスになる。

出力イネーブル信号 $Doe1$ が “1 (ハイレベル)” の場合は信号 Ame により、同期振幅変調信号と NRZ 符号の切換を行なう。信号 Ame が “1” のときには、データ $G21$ は “1” になり、スイッチ 21 は常にオン状態になる。AND 回路 $AND2$ が開くため、データ $G22$ にはクロック Ckt と $Dt21$ の $EXNOR$ をとった出力が伝わる。また、出力 $G24$ は “0” になり、トランジスタ $Mn24$ は常にオフ状態になる。従って、同期振幅変調回路が活性化され、回路の動作は実施例 1 の図 2 の回路の動作と等しくなり、正弦波クロック $Vddq$ にクロック Ckt に同期した正弦波を加えることで同期振幅変調された信号の伝送が可能になる。同期振幅変調回路の出力段に含まれるアナログスイッチは実施例 1 と同様にオン抵抗が設定されている。

次に、信号 Ame が “0” のときには、信号 $G21$ 、 22 が “0” となり、アナログスイッチ 21 、 22 が

オフになる。信号 G 2 3 にはデータ D t 2 1 が信号 G 2 4 にはデータ D t 2 1 が伝わる。従って、基準クロック C k 2 1 はハイインピーダンスになり、N R Z 出力回路が活性化され、正弦波クロック V d d q に直流の電圧を加えることで信号 D 2 1 にはデータ D t 2 1 がそのまま出力され、通常の N R Z 符号の伝送が可能になる。図 1 の送信回路に本実施例の回路を用いた場合、N R Z モードで伝送する時には、クロック送信端子 5 がハイインピーダンスであるため、受信端子のクロック C k 2 - C k 8 の電圧が V t t で一定になり、これをそのまま参照電圧に用いる事ができる。また、この場合、伝送線路 3 - 2、3 - 1 の両端の終端抵抗は接続しなくてもよい。

本実施例の制御信号 A m e は、送信回路 1 0 2 の活性・非活性を制御するイネーブル信号であり、送信回路 1 0 2 をダイナミック R A M に適用した場合にはライトイネーブル信号及び C A S 信号をもとに形成することができるのほかに、L S I 1 0 0 外への出力をイネーブルとする信号からも形成することができる。また、制御信号 A m e は出力信号 D 2 1 を振幅変調した信号として送信するか、N R Z 符号として送信するかを選択するモード信号としての機能を有するものであり、必要に応じて L S I 1 0 0 の外部から信号を受けモードの切り替えを行うよう構成される他、プリント

基板等への実装に先立ち予めモードが決められ制御信号 Ame として一定電位が印加されるよう構成することもできる。

さらに、本実施例の送信回路 102 は送信端を高インピーダンスにする機能を備えているため、図 11 に示すように伝送線路 110 に接続された各 LSI (回路装置) 111...118 が受信回路 119 と送信回路 120 を共に備え、クロック及びデータの送信端子と受信端子を共通にすることができる。伝送線路 110 に接続された LSI のうち 1 個の LSI が送信を行い、他の LSI では信号 $Doel$ を "0" にし、送信回路 120 を高インピーダンス状態にして受信を行う。また、この場合でも NRZ 符号による伝送を行うことも可能である。このように送信回路 120 が高インピーダンスとなるよう構成されているため、送信端子と受信端子とを共用することができ、LSI のピン数を削減し高密度な実装ができる。

なお、上記アナログスイッチを構成する MOS トランジスタ $Mn21-Mn23$ 、 $Mp21-Mp23$ 及び $Mn24$ は、外部の LSI との関係で素子特性のばらつきが影響するため、内部回路 101 に用いられる MON トランジスタに比ベゲート長を大きくすることにより、素子ばらつきの影響を受けにくく信頼性の高い出力回路を構成することができる。

＜実施例 3＞

図 1 2 は本発明による信号処理装置の実施例の構成を示すブロック図である。本実施例は信号処理装置であるコンピュータの中のバスの信号伝送に本発明の送、受信回路装置を適用したものである。

コンピュータ 1 2 0 は、ボード上にマイクロプロセッサ (M P U) 1 2 1、プロセッサ 1 2 1 で用いるデータ等を一次的に記憶する S R A M (スタティック・ランダム・アクセス・メモリ) 1 2 2、データを記憶する主メモリの役割を担う D R A M (ダイナミック・ランダム・アクセス・メモリ) 1 2 3、外部記憶装置であるディスク 1 2 4、ディスプレイ 1 2 5 等が接続されている。上述した各構成要素すなわち回路装置は、それぞれ、バス 1 2 6、メモリバス 1 2 7、I / O バス 1 2 8 で接続されている。

プロセッサ 1 2 1 と キャッシュ 1 2 2 間では高速のデータ伝送を行うが、キャッシュ 1 2 2 は少数の S R A M で構成するため、データ伝送の形態としてはプロセッサ 1 2 1 と S R A M 1 2 2 をバス 1 2 6 で直接接続した 1 対 1 伝送になる場合が多い。従って、高速データ伝送時においても伝送波形の乱れはバスに比較して小さいため、通常の N R Z 符号によるデータ伝送を用いる事ができる。しかしながら、プロセッサ 1 2 1 と S R A M 1 2 2 の間は高速なデータの伝送が要求さ

れるため、本発明によるセータ伝送方法を用いる。本発明による同期振幅変調を用いた場合には、図 1 に示すような終端抵抗 R_{tt} を介して定常的な消費電流が流れるため、消費電力の観点から本発明によるデータ伝送を採用せずに通常の NRZ 信号による信号伝送を採用することもできる。また、データの高速伝送のために NRZ 符号を用い、かつ終端抵抗を採用するような場合には、消費電力の観点からも本実施例による同期振幅変調と差異が少ないため、本発明によるデータ伝送方法を行う。

一方、キャッシュ 122 とメインメモリ 123 間のデータ伝送については、メインメモリを多数の DRAM で構成するために、メモリバス 127 を介したバス伝送になる。また、キャッシュ 122 とメインメモリ 123 間では高速データ伝送が要求されるため、本発明のデータ伝送方法を行い、データ伝送の信頼性を高める。

メモリバス 127 は、バスアダプタ 129 を介して I/O バス 128 に接続されるが、I/O バス 128 上のデバイス（ディスク 124、ディスプレイ 125、等）は比較的低速動作であるため、通常の NRZ 符号によるデータ伝送を用いる。なお、図 12 に記載されたコンピュータシステムの一部は図 20 に示した実装基板（マザーボード）により構成することができる。

この場合には、図 20 のバス 207 が図 12 に示したメモリバス 127 に対応する。

＜実施例 4＞

図 13 は本発明による信号処理装置の他の実施例の構成を示すブロック図である。本実施例は信号処理装置であるコンピュータの中のバスに伝送速度の異なる複数の系統のデータを周波数多重化して伝送し、その伝送に本発明の同期振幅変調を適用したものである。

図に示す用にコンピュータは、プロセッサ 131、メインメモリ制御部 132、ディスク装置 133、表示装置 134 及びこれらの回路装置間でデータの伝送を行うバス 135 とで構成されている。各回路装置の入出力部には本発明による同期振幅変調及び復調を行う送信回路及び受信回路が設けられている。

プロセッサ 131 の内部回路である主制御部 131-1 は、処理速度の異なることなる複数（図では 3）系統のパルスデータの入出力を行う。送受信回路 131-2 は、上記 3 系統の出力データをそれぞれ同期振幅変調し多重化してバス 135 に出力する変調部 131-3 と、バス 135 から受信した伝送速度の異なる 3 つの変調データを受信し、分離し、デジタルデータに変換する復調部 131-4 をもつ。131-a、131-b、131-c はいずれも同期振幅変調器、131-d、131-e、131-f はバンドパスフ

フィルタ、131-6は復号器である。

メモリ制御部132は、内部回路であるメインメモリ132-1と送受信回路132-2を持つ。送受信回路132-2は、1統の出力データをそれぞれ同期振幅変調してバス135に出力する変調器部132-aとドライバ132-7の変調部と、受信変調データを受信し、ディジタルデータに変換するバンドパスフィルタ132-d及びデコーダ132-6の復調部をもつ。

ディスク装置133は、内部回路であるディスクコントローラ133-1と送受信回路133-2を持つ。送受信回路133-2は、1統の出力データをそれぞれ同期振幅変調してバス135に出力する変調器部133-bとドライバ133-7の変調部と、受信変調データを受信し、ディジタルデータに変換するバンドパスフィルタ133-e及びデコーダ133-6の復調部をもつ。

表示装置134は、その入出力回路として送受信回路134-2を持つ。送受信回路134-2は、1統の出力データをそれぞれ同期振幅変調してバス135に出力する変調器部134-bとドライバ134-7の変調部と、受信変調データを受信し、データに変換するバンドパスフィルタ134-f及びデコーダ134-6の復調部をもつ。

伝送線路 1 3 5 は並列線路で、基準クロックの伝送線路とデータ伝送線路をもつ。なお、図示されていないが、各回路装置 1 3 1、… 1 3 4 には基準クロック発生回路が設けられている。

図 1 4 (a) は、図 1 3 の信号処理装置の 3 系統の伝送速度のデータ伝送に使用される基準クロックの正弦波を示す。各回路装置の動作速度の遅い順をディスク装置 (F D) 1 3 3、表示制御装置 (D C R) 1 3 4、メインメモリ (M M) 1 3 2 の順とし、基準クロックの周波数を割り当てている。図 (b) は、上記割り当てられた周波数の範囲を示す。例えば、ディスク装置 (F D) 1 3 3 に 2 0 M H z ~ 3 0 M H z 程度を、表示制御装置 (D C R) 1 3 4 に 5 0 M H z ~ 1 0 0 M H z 程度を、メインメモリ (M M) 1 3 2 に 1 5 0 M H z ~ 3 0 0 M H z 程度を割てる。

図 1 5 は上記バンドパスフィルタの構成を示す回路図である。バンドパスフィルタはローパスフィルタ 1 5 0 L とハイパスフィルタ 1 5 0 H を組み合わせて構成される。ローパスフィルタ 1 5 0 L とハイパスフィルタ 1 5 0 H は、それぞれ 2 つのコンデンサ (C、C 1、C 2) 1 5 1 a ~ 1 5 1 c と、2 つの抵抗素子 (R、R 1、R 2) 1 5 2 a ~ 1 5 2 c 及びオペアンプ (O P) 1 5 3 a ~ 1 5 3 b で構成されている。

ローパスフィルタ 1 5 0 L では、入力端子 1 5 4 a

から直列に接続された2つの抵抗152a、オペアンプ153aに受信データ信号が入力され、出力端子0(OUT)155aから、オペアンプ153aの入力に負帰還される。また、コンデンサ151aを介して2つの抵抗152aの間にも接続されている。

このローパスフィルタ140Lのカットオフ周波数 f_0 は、

$$f_0 = \frac{1}{2\pi\sqrt{C_1 \cdot C_2 \cdot R}}$$

となる。また、Q値Qは、

$$Q = \frac{1}{2} \sqrt{\frac{C_1}{C_2}}$$

となる。

また、ハイパスフィルタ150Hでは、入力端子154bから、直列に接続された2つの等しいコンデンサ151cを介して、オペアンプ153bに信号が入力され、一部は出力端子155bから、オペアンプ153bの入力に負帰還される。また、抵抗152bを介して2つのコンデンサ151cの間にも接続される。

ハイパスフィルタ150Hのカットオフ周波数 f_0 は、

- 43 -

$$f_0 = \frac{1}{2\pi\sqrt{C_1 \cdot C_2 \cdot R}}$$

となる。また、Q 値 Q は、

$$Q = \frac{1}{2} \sqrt{\frac{R_1}{R_2}}$$

となる。

このように、ローパスフィルタ 150 L 及びハイパスフィルタ 150 H のカットオフ周波数は、コンデンサ 151 a ~ 151 c や抵抗 152 a ~ 152 c の値によって設定できる。

図 16 は、図 13 における CPU の送信回路に係る動作例を示すタイミングチャートである。図 13 の送受信回路 131-3 の変調器 131-a, b, c では、周波数の高い順の NRZ 符号のデータ S1、S2 及び S3 の信号を、それぞれ図 14 の周波数 f1、f2、及び f3 の正弦波を利用して同期振幅変調を行い、図 16 の変調データ fm1、fm2 及び fm3 を得る。これらの変調データ fm1、fm2 及び fm3 は多重化回路 135 によって周波数多重化され、バス 135 に信号として伝送される。また逆に、回路装置 132、133 及び 134 からそれぞれ変調データ fm1、fm2 及び fm3 がバス 135 に出力されると、送受信

回路 131-3 の復調部 131-4 のバンドパスフィルタ 131-d, f 及び c ではこれらを分離し、デコーダ 131-6 によって、NRZ 符号を S1、S2 及び S3 を復号する。

以上、図 13～図 16 を用いて説明したように、本実施例 4 の信号処理装置（コンピュータ）は、多重化装置を設け、動作速度の異なる複数の回路装置と CPU 間で、信号を多重化して転送するので、動作速度の遅いデバイスの信号も、動作速度の速いデバイスの信号も、同一バス上に同一時間上に存在できる。このため、動作速度の遅いデバイスのためにバスが占有され他のデバイスの動作が阻害されることがなく、動作速度の異なる複数のデバイスが同一のバスを用いているシステムの高速化が可能である。特に、正弦波を用いた同期振幅変調を行った場合は、多重化回路はワイヤード OR 回路で実現でき、周波数分離は図 15 に示すような簡単なフィルタで構成できるので、容易に LSI 上に形成できる。

また、単一の一系統のバス 135 のみで良く、動作速度毎に専用のバスを備える従来の技術と比較して、実装面積を小さくでき、携帯用信号処理装置への適用も容易となる。

以上、本発明の実施例について説明したが、本発明は上記実施例に限定されるものではなく、その要旨を

逸脱しない範囲において種々変更可能である。実施例では、基準クロックの半サイクル毎に1ビットのデータを伝送する例について説明したが、1サイクル毎に1ビットのデータを伝送するようにしてもよい。

基準クロックとして、正弦波もしくはそれに近似する波形以外のパルス波形を使用することができる。この場合、高周波ひずみ多少問題が残るが、外部のクロック V_{ddq} から基準クロック C_{kl} 及び変調データ D_l を得るため、基準クロック C_{kl} と変調データ D_l の同期をとるのが容易になる。さらに、外部のクロック V_{ddq} から基準クロック C_{kl} 及び変調データ D_l を同一LSI内に配置される回路素子を用いて形成するので、LSIの特性のばらつきの影響を受けにくく、回路素子の特性のばらつきに影響されず正確なデータ伝送ができる。

更に、図13に示す複数系統のデータを多重化して伝送する場合、3系統の例について説明したが、この数を限定するものではない。

請求の範囲

1. 送信部で伝送すべき2値のデジタルデータ信号を変調し伝送線路を介して伝送し受信部で復調するデータ伝送方法において、上記送信部で上記デジタルデータ信号のレベルを一定周期の基準クロック信号のレベルと比較し、上記デジタルデータ信号の2値の情報に応じて振幅が上記基準クロック信号のレベルより大きいとか又は小さい電圧波形の変調データ信号に変換する同期振幅変調を行い、上記伝送線路で、上記基準クロック信号及び上記変調データ信号を同時に送信し、受信部で上記基準クロック信号を用いて上記変調データを上記2値のデジタルデータ信号に復調することを特徴とするデータ伝送方法。

2. 上記基準クロック信号を上記データ信号と同一の位相、同一の周期をもつ正弦波状の波形とし、上記変調データ信号を正弦波状の信号の振幅を上記デジタルデータ信号の2値のデジタルデータ信号で制御した信号とすることを特徴とする請求項1記載のデータ伝送方法。

3. 上記2値のデジタルデータ信号が伝送速度が異なる複数系統のデータであり、上記送信部で変調された複数の変調信号を周波数多重化して上記伝送線路に送出することを特徴とする請求項2に記載のデータ伝送方法。

4. 伝送すべき2値のデジタルデータ信号を発生する信号源と、所定の振幅をもつ基準クロック信号を発生する基準クロック信号発生回路と、上記デジタルデータ信号を上記基準クロック信号のレベルに対する振幅の大小に変換して変調データ信号を発生する同期振幅変調回路と、上記基準クロック信号及び上記変調データ信号を伝送線路に出力する端子とをもつ送信回路を有することを特徴とする送信回路装置。

5. 上記基準クロック信号が正弦波状の波形をもつ信号で、上記変調データ信号が正弦波状の波形の振幅を2値のデジタルデータ信号の情報によって可変した信号であることを特徴とする請求項3記載の送信回路装置。

6. 上記信号源はデータ信号を処理する内部回路であって、上記内部回路、上記基準クロック信号発生回路及び上記同期振幅変調回路が同一LSIチップに形成されたことを特徴とする請求項5に記載の送信回路装置。

7. 上記基準クロック信号発生回路は上記LSIチップの外部から加えられる第1の外部クロック信号に基づいて上記基準クロック信号を発生するため上記第1の外部クロック信号の振幅を低減する分圧抵抗素子で構成され、上記同期振幅変調回路は上記デジタルデータ信号の情報に応じて上記第1の外部クロック信号の

振幅の変化させる回路で構成されたことを特徴とする請求6に記載の送信回路装置。

8. 上記送信回路が、更に、上記2値のデジタルデータ信号をパルス信号として上記伝送線路に出力する第1の出力回路と、上記同期振幅変調回路又は上記第1の回路の一方を選択的に駆動する切替制御回路をもつことを特徴とする請求項5ないし7のいずれかに記載の送信回路装置。

9. 上記2値のデジタルデータ信号は伝送速度の異なる複数のデータ系列を含み、上記同期振幅変調回路及び上記基準クロック信号発生回路が上記複数のデータ系列に対応してそれぞれ複数個設けられ、更に複数の上記同期振幅変調回路の出力を多重化する回路が付加されたことを特徴とする請求項5ないし7のいずれかに記載の送信回路装置。

10. 基準クロック信号及び上記基準クロック信号と同期し、2値のデジタルデータ信号の情報を上記基準クロック信号の振幅に対する大小で表された変調データ信号を受信する端子と、上記基準クロック信号を用いて上記変調データ信号から上記基準クロック信号の振幅に対する大小を検出する検出回路と、上記検出回路の出力を2値のデジタルデータ信号に変換する変換回路とからなる受信回路をもつことを特徴とする受信回路装置。

1 1 . 上記検出回路が上記基準クロック信号及び上記変調データ信号を入力とする差動増幅器で構成され、上記変換回路がラッチ回路で構成されたことを特徴とする請求項 1 0 に記載の受信回路装置。

1 2 . 上記検出回路の入力側に上記基準クロック信号及び上記変調データ信号の周波数成分を通過させるフィルタを設けたことを特徴とする請求項 1 0 又は 1 1 に記載の受信回路装置。

1 3 . 上記受信回路と、上記受信回路の出力を処理する内部回路とが単一の L S I チップで構成されたことを特徴とする請求項 1 0 又は 1 1 に記載の受信回路装置。

1 4 . 2 値のディジタルデータ信号を出力する第 1 の内部回路と上記 2 値のディジタルデータ信号を伝送に適した信号に変換する送信回路回路をもつ送信回路装置と、受信回路装置と、上記送信回路装置と上記受信回路装置とを接続する伝送線路とをもつ送受信装置において、

上記伝送線路が第 1 及び第 2 の伝送線路を持ち、上記送信回路が上記 2 値のディジタルデータ信号を変調し上記第 1 の伝送線路に出力する変調回路と、上記ディジタルデータ信号に同期し、かつ所定の振幅を有する基準クロック信号を上記第 2 の伝送線路に送出する基準クロック発生回路とを有し、上記変調回路が上記

デジタルデータ信号を上記基準クロック信号に対する振幅の大小にを表す変調データ信号に変換しするように構成され、

上記受信回路装置は、上記第 1 の伝送線路及び上記第 2 の伝送線路に接続された受信回路と、上記受信回路の出力信号を受ける第 2 の内部回路とをもち、上記受信回路が上記変調データ信号を上記基準クロック信号に対する振幅の大小に対応した 2 値のデジタルデータ信号に変換するように構成されたことを特徴とする送受信装置。

15. 上記信号送受信装置は、さらに、正弦波状の波形をもつ第 1 の外部クロック信号を発生する外部クロック発生回路と、上記外部クロック発生回路と上記送信回路装置とを接続し外部クロック信号を上記送信回路装置に供給する第 3 の伝送線路とを有し、

上記基準クロック発生回路が上記第 1 の外部クロック信号を分圧して上記基準クロック信号を発生するように構成され、

上記変調回路が上記第 1 の外部クロック信号の振幅を上記 2 値のデジタルデータ信号の情報により変化させることにより上記デジタルデータ信号を変調するように構成されたことを特徴とする請求項 14 に記載の送受信装置。

16. 上記送受信装置はさらに、第 4 の伝送路を有し、

上記外部クロック発生回路は、所定周波数で発振する発振回路と、上記発振回路の発振出力をフィルタリングするフィルタ回路とを有し、上記発振回路の出力は、上記第４の伝送路を介して上記第１の内部回路及び上記変調回路に供給され、上記フィルタ回路の出力は、上記第３の伝送路を介して上記基準クロック発生回路に供給されるよう構成されたことを特徴とする請求項１５に記載の送受信装置。

１７．上記基準クロック発生回路は、上記第１の外部クロックに対応した信号を受ける抵抗素子を有し、上記変調回路は、上記第１の外部クロックに対応した信号を受け、かつ上記デジタルデータ信号の情報により抵抗値が可変される可変抵抗素子を有し、上記第１及び第２の伝送線路にはそれぞれ終端抵抗が接続され、上記基準クロック発生回路は、上記第１の外部クロックに対応する信号を上記抵抗素子と上記終端抵抗とにより分圧した信号を出力し、上記変調回路は上記第１の外部クロックに対応する信号を上記可変抵抗素子と上記終端抵抗とにより分圧した信号を出力するよう構成されたことを特徴とする請求項１６に記載の送受信装置。

１８．上記変調回路が上記デジタルデータ信号を上記基準クロック信号に対する電圧の大小に変換して出力するよう構成され、上記受信回路が上記基準クロッ

ク信号と上記送信回路の出力信号との電圧を比較する差動増幅回路を有することを特徴とする請求項14ないし請求項17のいずれかに記載の送受信装置。

19. マイクロプロセッサと、上記マイクロプロセッサの処理に用いるデータを記憶する第1の記憶装置と、上記第1の記憶装置と第1及び第2の伝送線を介し接続され、上記第1の記憶装置に転送するデータを記憶する第2の記憶装置とをもつ信号処理装置において、

上記第1の記憶装置は、上記第2の伝送線を介してデータを出力する送信回路を有し、

上記送信回路は、外部から供給される外部クロック信号に基づき所定の振幅を有する基準クロック信号を上記第2の伝送線路に出力するように構成され、上記外部クロック信号の振幅を変化させデータとして上記第2の伝送線路路に出力するよう構成されたことを特徴とする信号処理装置。

20. 上記第1の記憶装置はスタティックランダムアクセスメモリで構成され、上記第2の記憶装置はダイナミックランダムアクセスメモリで構成されたことを特徴とする請求項20に記載の信号処理装置。

21. 上記マイクロプロセッサと上記第1の記憶装置とは第3の伝送線を介して接続され、上記第1の記憶装置は、上記第3の伝送線を介して記憶されたデジタルデータ信号を伝送するよう構成され、

上記デジタルデータ信号は直流レベルに対する電圧の大小に対応した信号として出力されることを特徴とする請求項 19 又は請求項 20 記載の信号処理装置。

22. 上記マイクロプロセッサと上記第 1 の記憶装置とは第 3 及び第 4 の伝送路を介して接続され、上記第 1 の記憶装置は、外部から供給される外部クロック信号に基づき所定の振幅を有する基準クロック信号を形成するとともに、上記外部クロック信号の振幅を制御することにより上記第 1 の記憶装置に記憶されたデジタル信号を形成するよう構成され、

上記基準クロック信号は、上記第 4 の伝送路を介して上記マイクロプロセッサに供給されるよう構成され、

上記デジタルデータ信号は、上記第 3 の伝送線路を介して上記マイクロプロセッサに供給されるよう構成されたことを特徴とする請求項 19 又は請求項 20 に記載の信号処理装置。

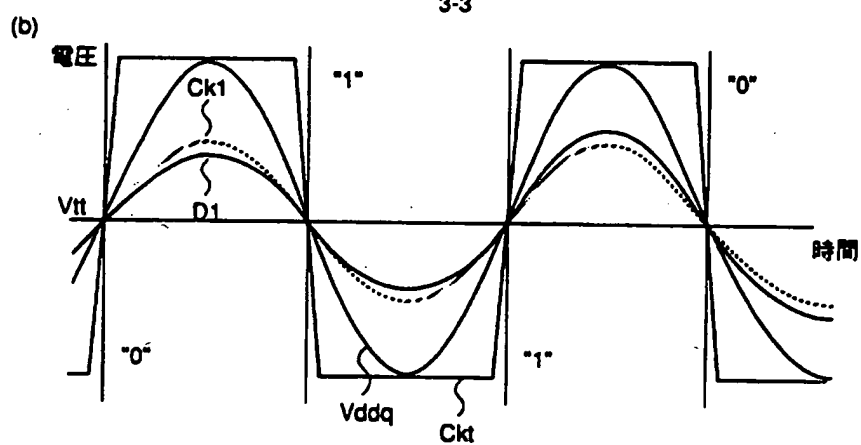
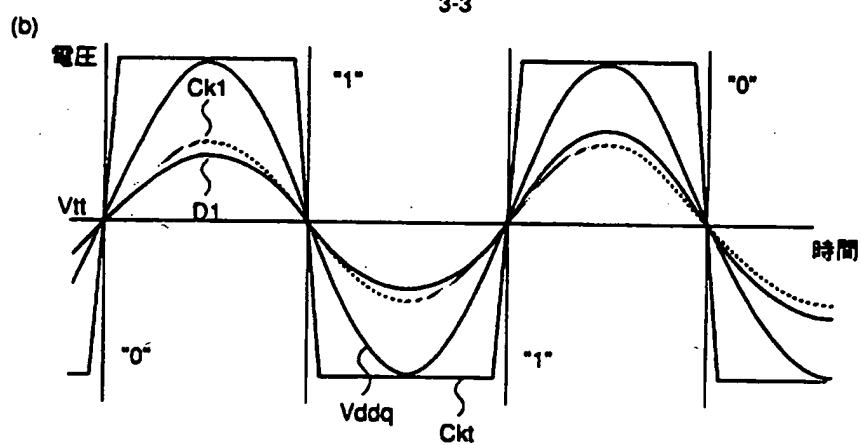
23. 上記信号処理装置はさらに、所定の周波数を有するクロック信号を形成する発振回路と、上記外部クロック信号をフィルタリングすることにより上記クロック信号に比べ高周波成分の少ない外部クロック信号を形成するフィルタ回路とを有し、上記クロック信号及び上記外部クロック信号は上記第 1 の記憶装置及び上記第 2 の記憶装置に供給されるよう構成されたことを特徴とする請求項 19 又は請求項 20 に記載の信号

処理装置。

24. 信号処理を行い、異なった伝送速度の複数種のデジタルデータ信号を単一の伝送線路を介して上記バスで接続された複数の信号処理デバイスと上記デジタルデータ信号の送受を行うマイクロプロセッサをもつ信号処理装置において、

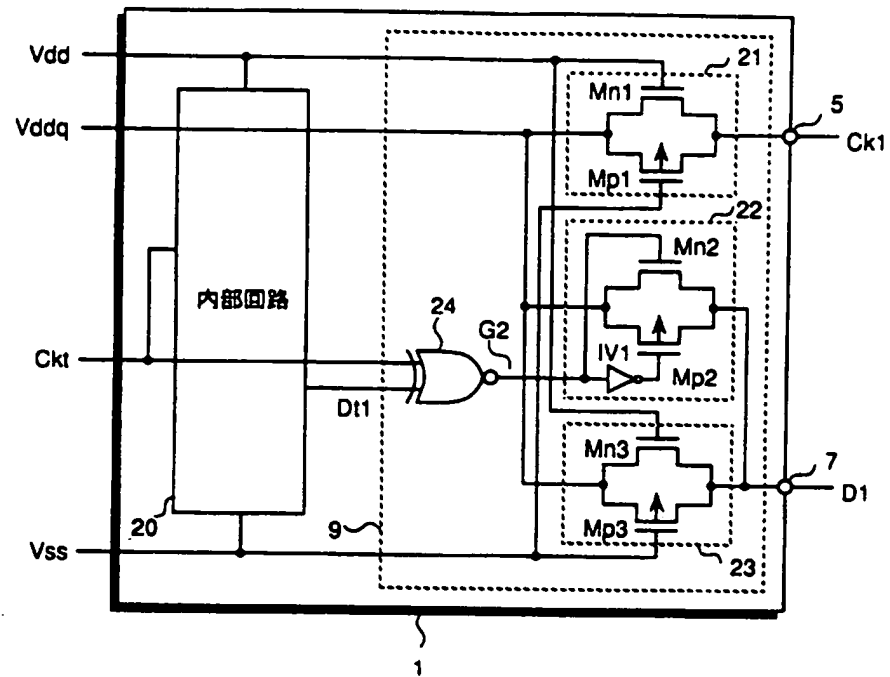
上記マイクロプロセッサは上記複数種のデジタルデータを変調しする変調部と変調したデータを周波数多重化して上記伝送線路に出力する多重化部をもつ第1の送信回路と、上記伝送線路から入力した周波数多重化した複数種のデータを分離する分離部と、へんちようされた変調データを復調する復調部とをもつ第1の受信回路とをもち、

上記複数の信号処理デバイスのそれぞれは、上記マイクロプロセッサから出力された複数種のデータの中の特定の伝送速度のデジタルデータ信号を分離するフィルタと、上記フィルタの出力からデータ復調する復調部とをもつ第2の受信回路と、上記伝送線路に伝送すべきデータを変調して出力する第2の送信回路とをもつことを特徴とする信号処理装置。



2/21

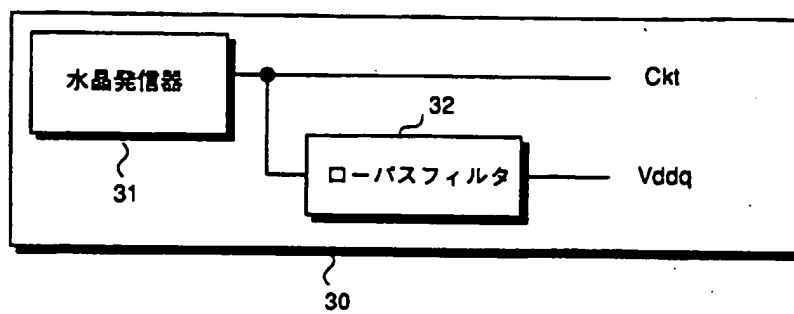
図 2



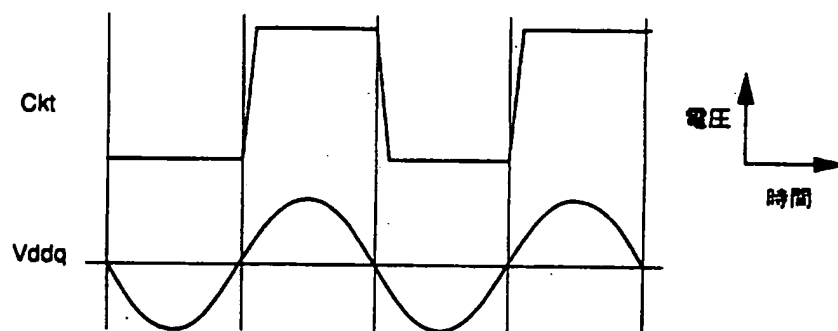
3/21

図 3

(a)



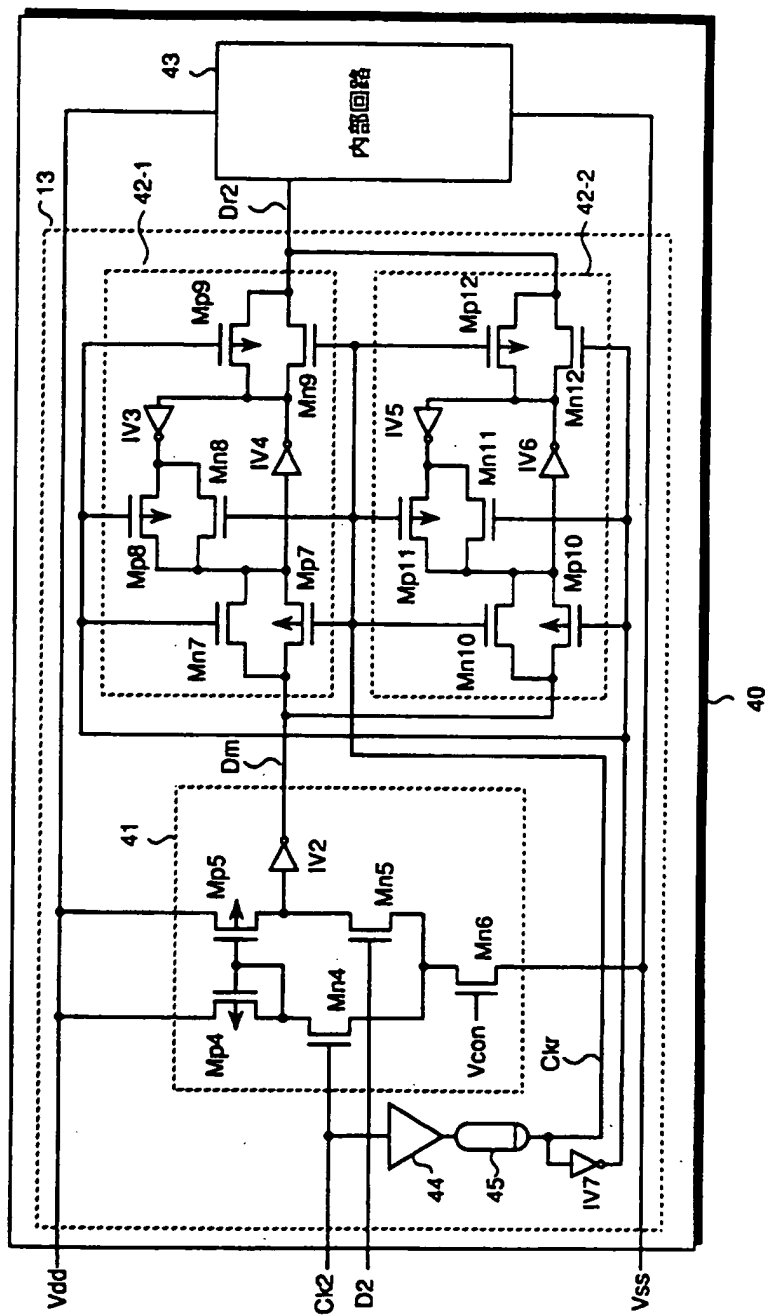
(b)



4/21

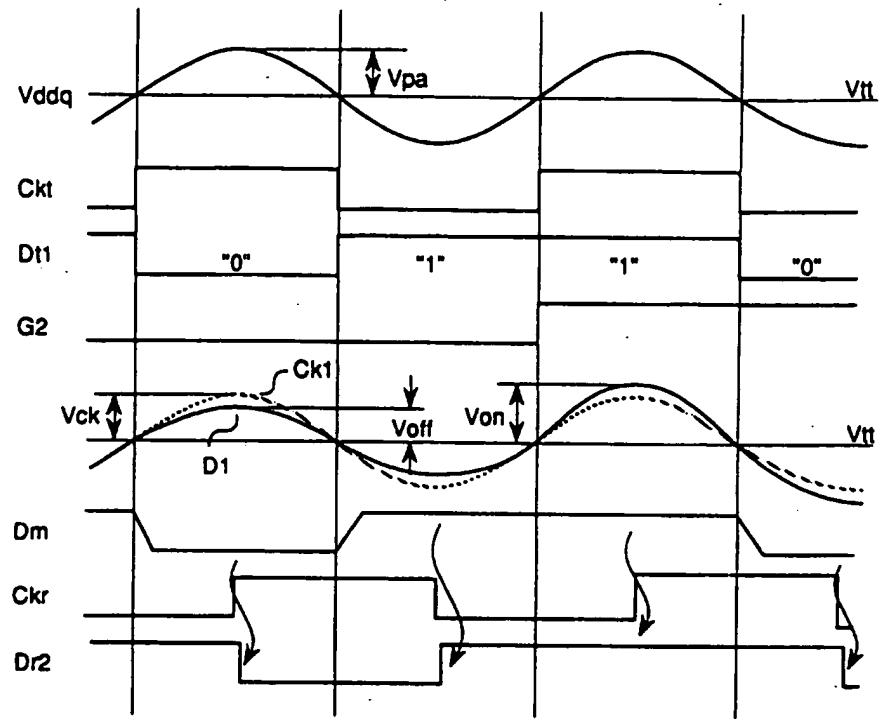
図4

図4



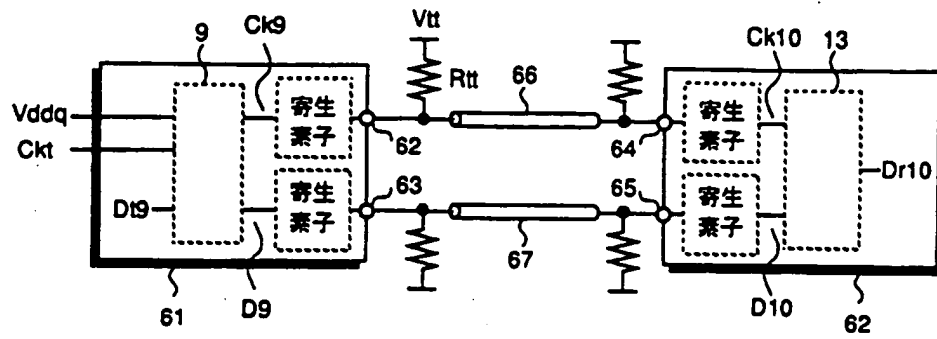
5/21

图 5



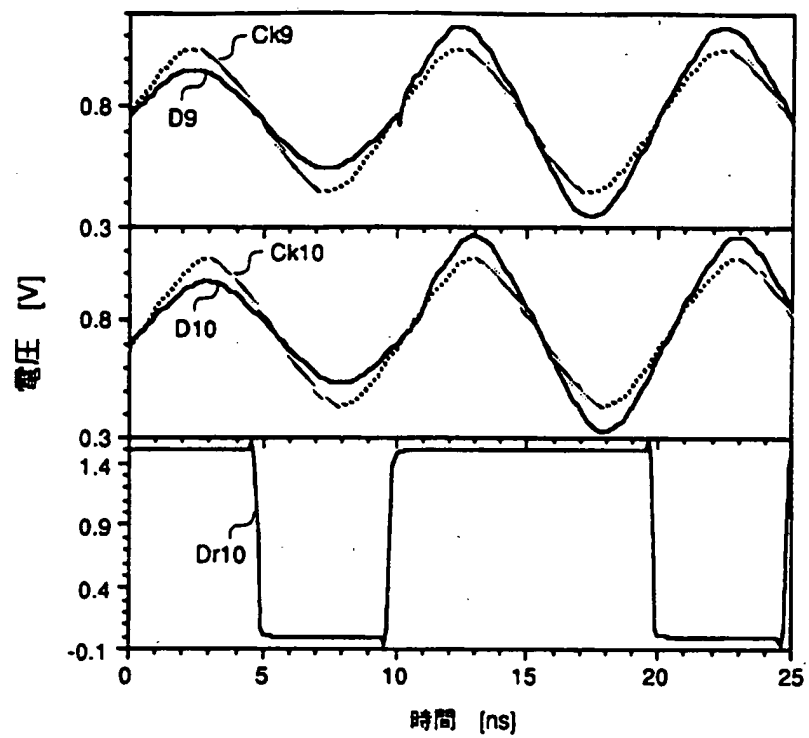
6/21

図 6



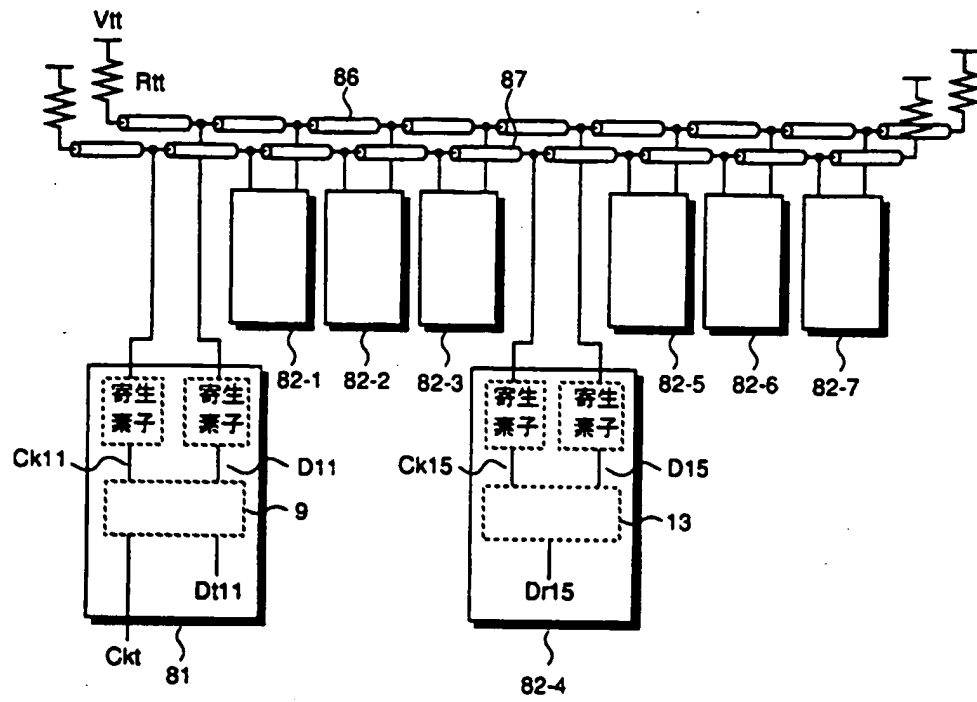
7/21

図 7



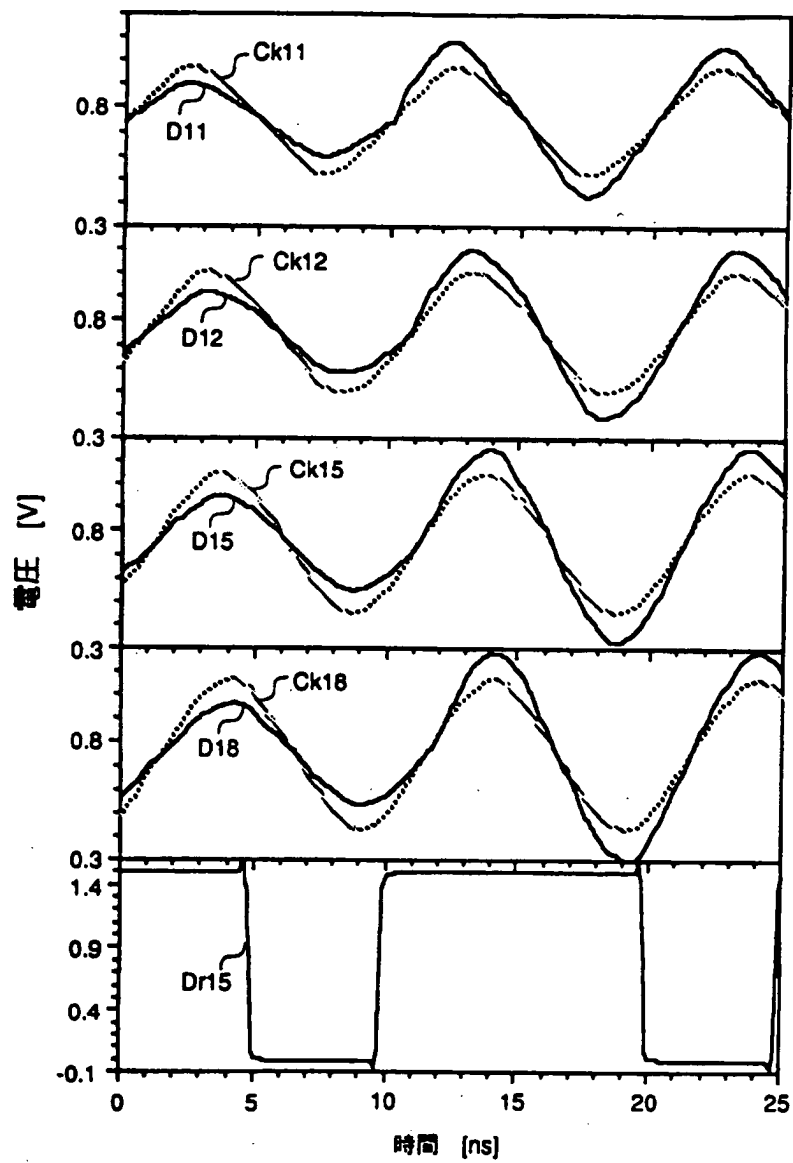
8/21

図 8



9/21

9

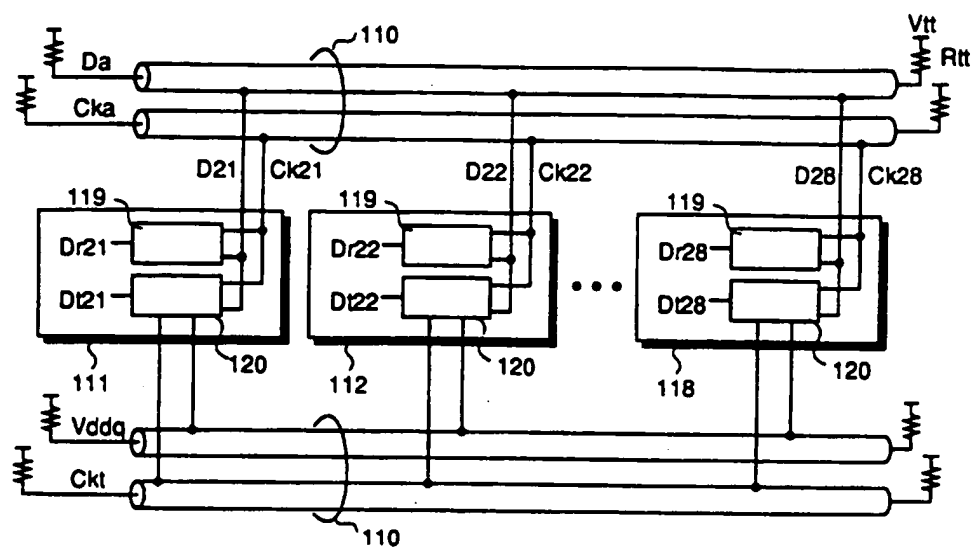


1210

Doe1	Ame	Mode	G21	G22	G23	G24
0	0	HZ	0	0	0	0
0	1	HZ	0	0	0	0
1	0	NRZ	0	0	Dt	/Dt
1	1	AM	1	Exnor(Dt, Ckt)	1	0

11/21

11



12/21

図 12

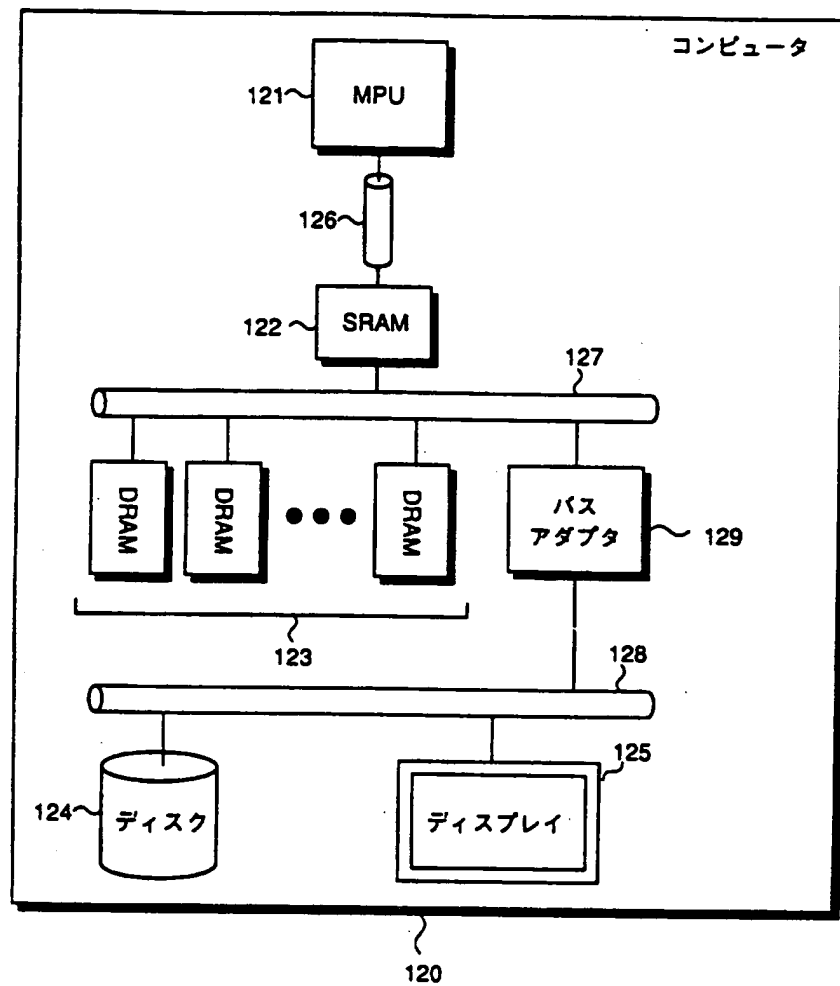
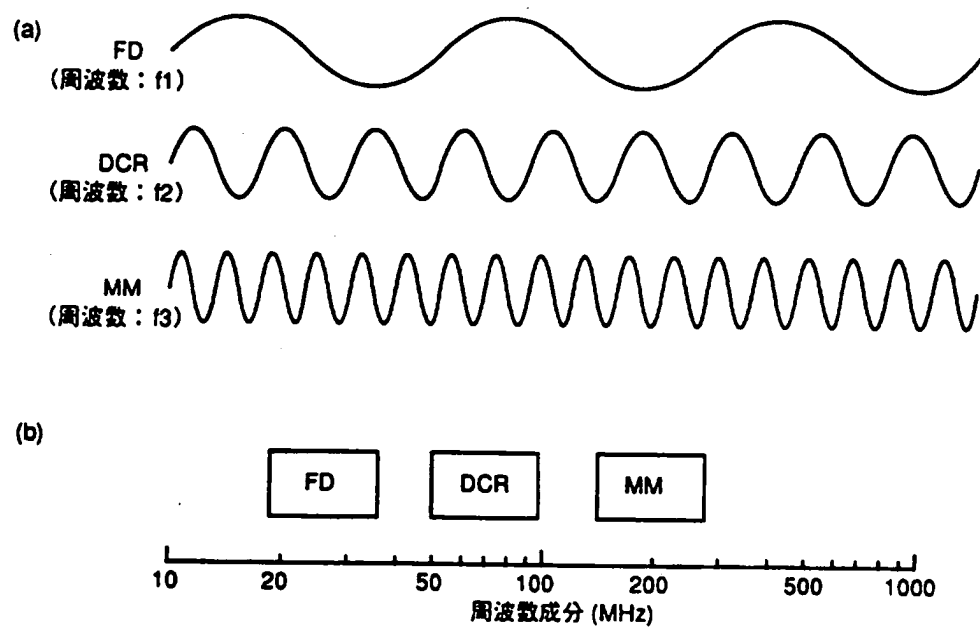


図14



15/21

図15

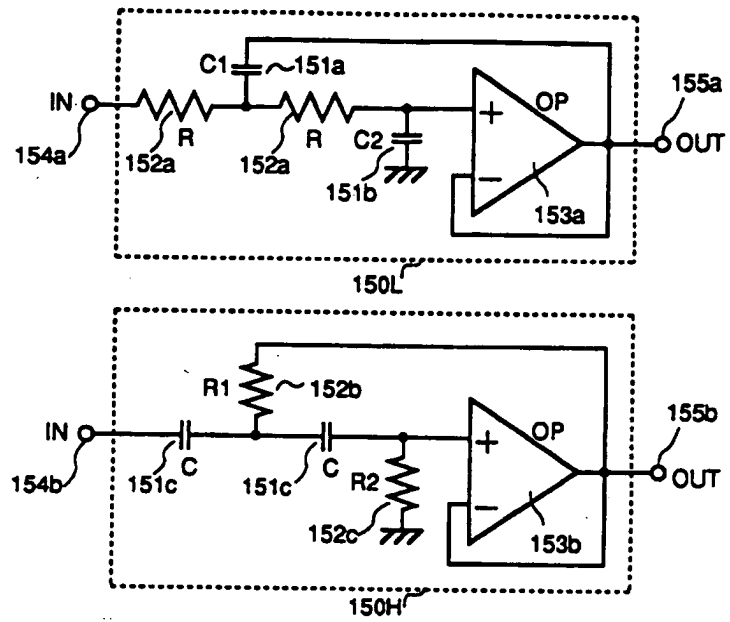
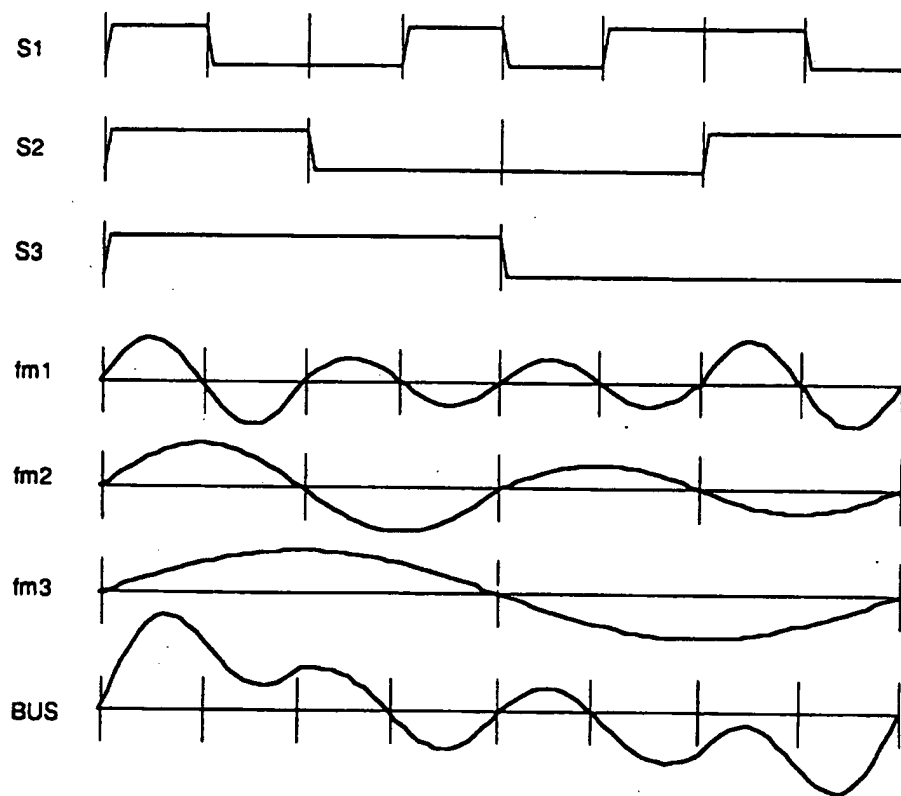


図16



17/21

図17

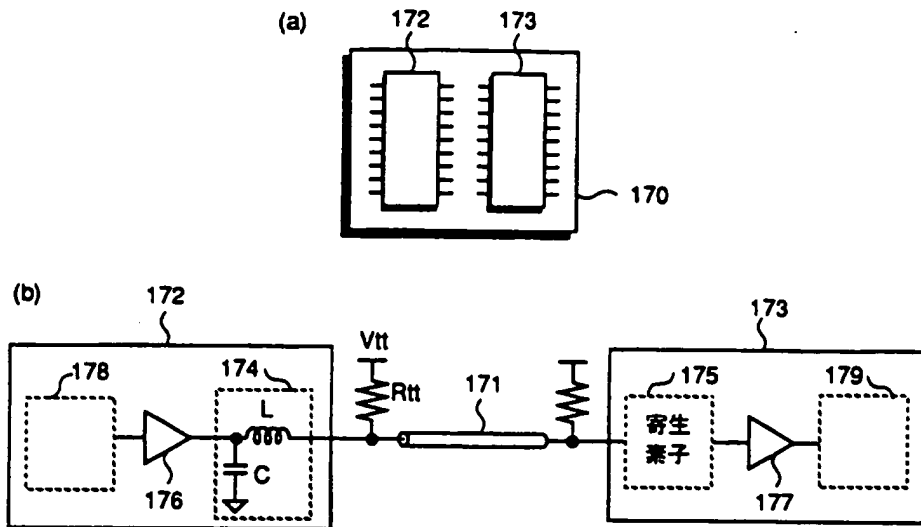


図18

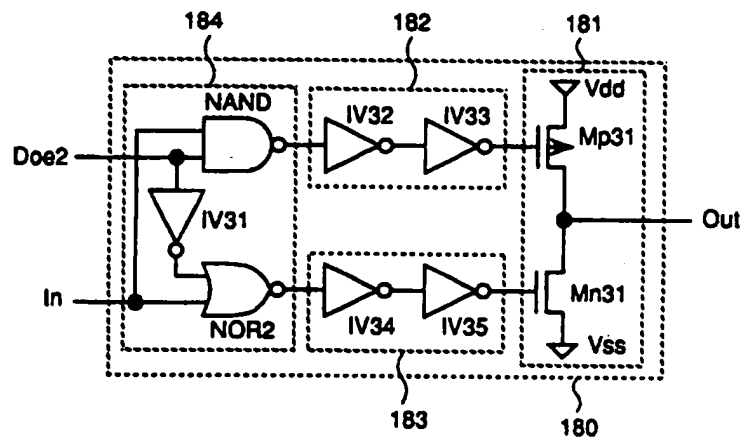


図19

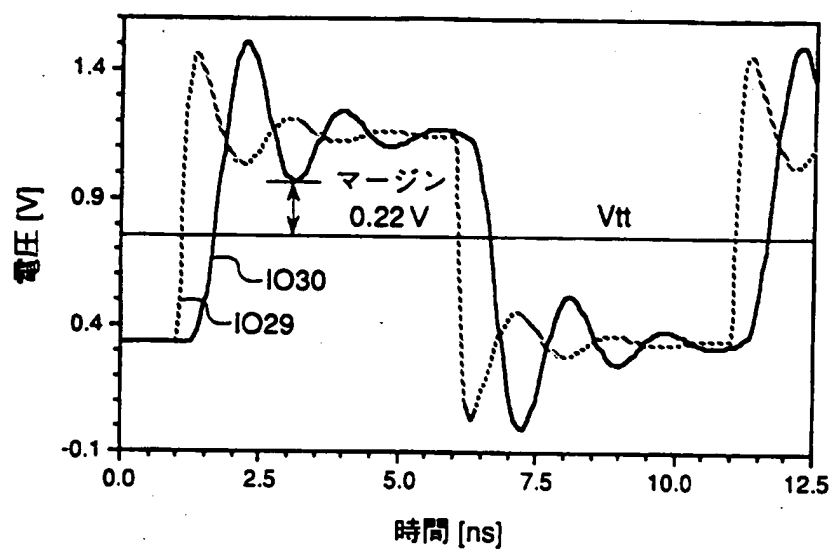


図20

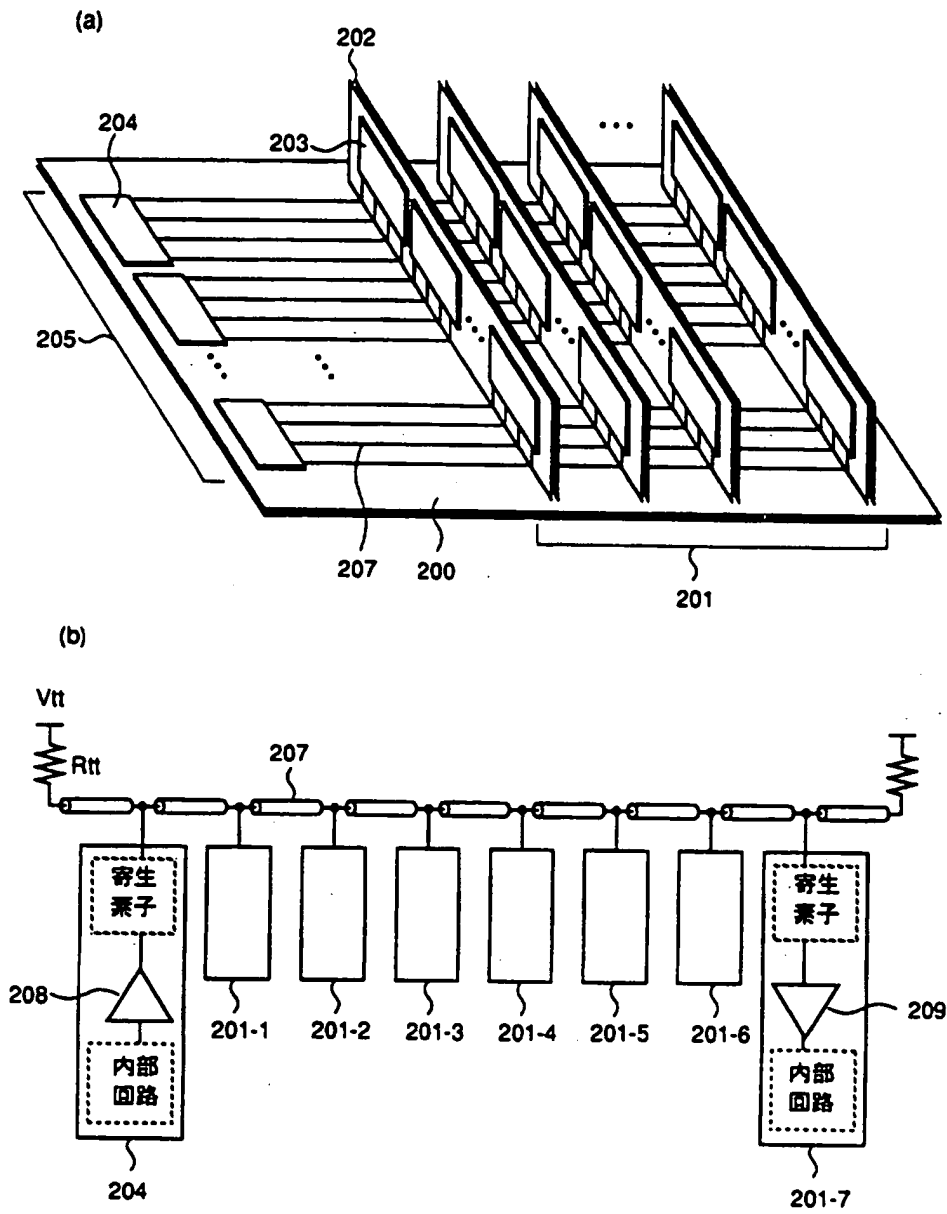


図21

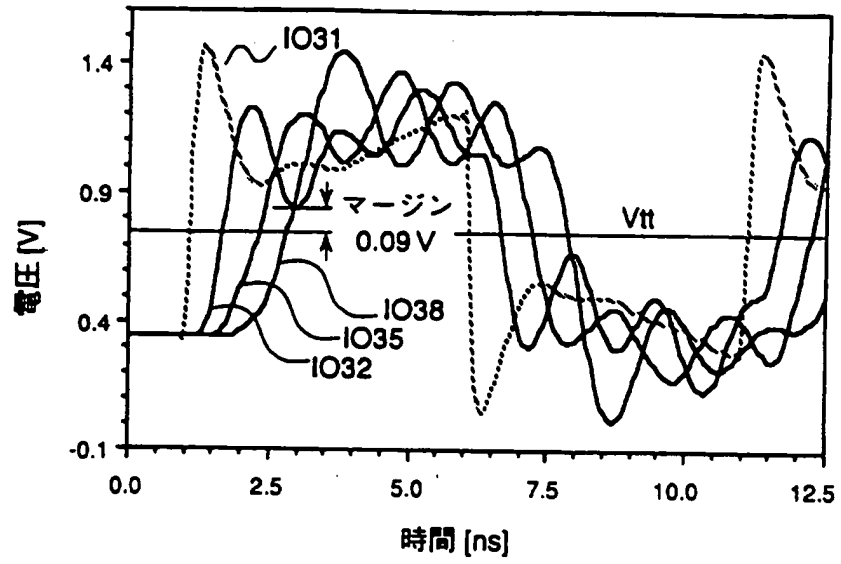


図22

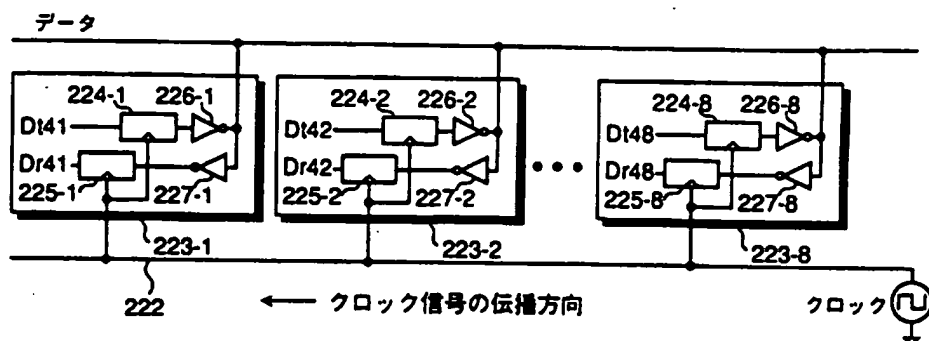
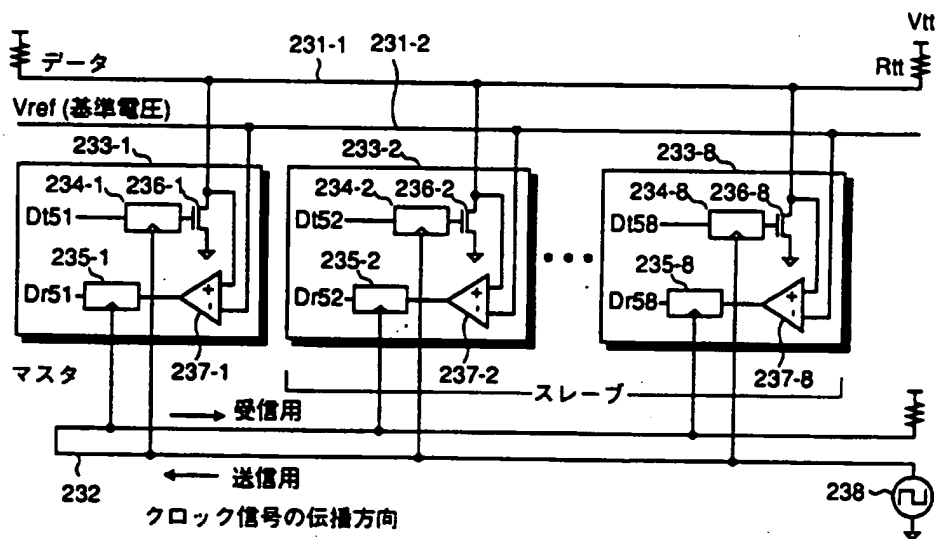


図23



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/00746

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H04L25/49, H04L12/40, G06F3/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H04L25/00, H04L12/40, G06F3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 61-245658, A (Hitachi, Ltd.), October 31, 1986 (31. 10. 86) (Family: none)	1 - 24
A	JP, 5-14279, A (Nippon Telegraph & Telephone Corp.), January 22, 1993 (22. 01. 93) (Family: none)	1 - 24
A	JP, 62-180643, A (Hitachi, Ltd.), August 7, 1987 (07. 08. 87) (Family: none)	1 - 24
Y	JP, 4-160840, A (Terumo Corp.), June 4, 1992 (04. 06. 92) (Family: none)	19 - 23
Y	JP, 3-37747, A (Hitachi, Ltd.), February 19, 1991 (19. 02. 91) (Family: none)	19 - 24
Y	JP, 62-90045, A (Kokusai Denshin Denwa Co., Ltd.), April 24, 1987 (24. 04. 87) & FR, 2591833, B	24

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

June 14, 1996 (14. 06. 96)

Date of mailing of the international search report

June 25, 1996 (25. 06. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願 号 PCT/J P 96/00746

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H04L25/49, H04L12/40, G06F3/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H04L25/00, H04L12/40, G06F3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-1996年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 61-245658, A (株式会社日立製作所), 31. 10月. 1986 (31. 10. 86) (ファミリーなし)	1-24
A	J P, 5-14279, A (日本電信電話株式会社), 22. 1月. 1993 (22. 01. 93) (ファミリーなし)	1-24
A	J P, 62-180643, A (株式会社日立製作所), 7. 8月. 1987 (07. 08. 87) (ファミリーなし)	1-24
Y	J P, 4-160840, A (テルモ株式会社), 4. 6月. 1992 (04. 06. 92) (ファミリーなし)	19-23

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

14. 06. 96

国際調査報告の発送日

25.06.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

衣嶋 文彦

印

5 K

9199

電話 号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 3-37747, A (株式会社日立製作所), 19. 2月. 1991 (19. 02. 91) (ファミリーなし)	19-24
Y	J P, 62-90045, A (国際電信電話株式会社), 24. 4月. 1987 (24. 04. 87) & FR, 2591833, B	24